

PATENT
81790.0302

Express Mail Label No. EV 324 110 508 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Katsuki MATSUDERA et al.

Serial No: Not assigned

Filed: October 2, 2003

For: Semiconductor Memory Device
Inputting/Outputting Data
Synchronously With Clock Signal

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

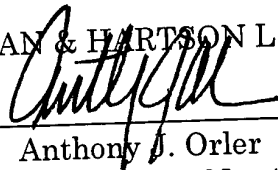
Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2002-292408 which was filed October 4, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

By: 

Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

Date: October 2, 2003

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 4 日
Date of Application:

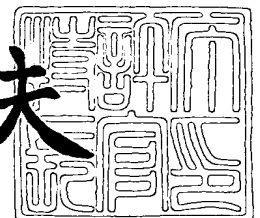
出 願 番 号 特 願 2 0 0 2 - 2 9 2 4 0 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 9 2 4 0 8]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 9 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000204437

【提出日】 平成14年10月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00

【発明の名称】 半導体記憶装置

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 松寺 克樹

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 米谷 和英

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 久田 俊記

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 小柳 勝

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体記憶装置
【特許請求の範囲】

【請求項 1】

複数のメモリセルから構成されたメモリセルアレイと、
外部との間で複数ビットのシリアルデータの入出力を行う入出力回路と、
前記入出力回路から前記複数ビットのシリアルデータを受け取り、前記複数ビットのシリアルデータをパラレルデータに変換する第 1 レジスタと、前記複数のメモリセルから読み出した複数ビットのパラレルデータを受け取り、前記複数ビットのパラレルデータをシリアルデータに変換する第 2 レジスタとを有するレジスタ部と、

前記複数ビットのシリアルデータをパラレルデータに変換する際に、ビット毎に変換のタイミングを与える複数の第 1 制御信号を生成するとともに、前記複数ビットのパラレルデータをシリアルデータに変換する際に、ビット毎に変換のタイミングを与える複数の第 2 制御信号を生成する信号生成回路とを具備し、

前記信号生成回路は、前記複数の第 1 制御信号の立ち上がりまたは立ち下りのいずれかのタイミングを制御して、前記複数ビットのシリアルデータのビット毎の値を、前記複数のメモリセルのうちどのメモリセルに記憶するかを設定するとともに、前記複数の第 2 制御信号の立ち上がりまたは立ち下りのいずれかのタイミングを制御して、前記複数のメモリセルから読み出した前記複数ビットのパラレルデータのビット毎の値を、シリアルデータのうちの何番目の値にするかを設定することを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 レジスタは、前記複数ビットのシリアルデータのうち、偶数番目のデータを受け取り、パラレルデータに変換する第 1 ライトレジスタと、奇数番目のデータを受け取り、パラレルデータに変換する第 2 ライトレジスタとから構成され、

前記第 2 レジスタは、前記複数ビットのパラレルデータのうち、偶数番目のデータを受け取り、シリアルデータに変換する第 1 リードレジスタと、奇数番目の

データを受け取り、シリアルデータに変換する第 2 リードレジスタとから構成されていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

前記第 1 ライトレジスタは複数のトランスファゲートを有し、前記複数ビットのシリアルデータのうちの偶数番目のデータが、前記複数のトランスファゲートの各々の電流通路の一端に入力され、前記第 1 制御信号が前記複数のトランスファゲートの各々のゲートに入力され、

前記第 2 ライトレジスタは複数のトランスファゲートを有し、前記複数ビットのシリアルデータのうちの奇数番目のデータが、前記複数のトランスファゲートの各々の電流通路の一端に入力され、前記第 1 制御信号が前記複数のトランスファゲートの各々のゲートに入力されることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 リードレジスタは複数のトランスファゲートを有し、前記複数ビットの平行データの中の偶数番目のデータの各々が、前記複数のトランスファゲートの各々の電流通路の一端に入力され、前記第 2 制御信号が前記複数のトランスファゲートの各々のゲートに入力され、

前記第 2 リードレジスタは複数のトランスファゲートを有し、前記複数ビットの平行データの中の奇数番目のデータの各々が、前記複数のトランスファゲートの各々の電流通路の一端に入力され、前記第 2 制御信号が前記複数のトランスファゲートの各々のゲートに入力されることを特徴とする請求項 2 または 3 に記載の半導体記憶装置。

【請求項 5】

前記第 1 ライトレジスタに入力される前記第 1 制御信号と、前記第 2 ライトレジスタに入力される前記第 1 制御信号とを共通の信号とすることを特徴とする請求項 2 乃至 4 のいずれか 1 つに記載の半導体記憶装置。

【請求項 6】

前記第 1 リードレジスタに入力される前記第 2 制御信号と、前記第 2 リードレジスタに入力される前記第 2 制御信号とを共通の信号とすることを特徴とする請

求項 2 乃至 5 のいずれか 1 つに記載の半導体記憶装置。

【請求項 7】

前記信号生成回路が出力する前記第 1 制御信号と前記第 2 制御信号とを共通の信号とすることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 8】

前記第 1 ライトレジスタ及び第 2 ライトレジスタに入力される前記第 1 制御信号と、前記第 1 リードレジスタ及び第 2 リードレジスタに入力される前記第 2 制御信号とを共通の信号とすることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 9】

前記信号生成回路が出力する複数の前記第 1 制御信号の各々が異なる立ち上がりエッジあるいは立ち下がりエッジのいずれか一方を有することを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 1 0】

前記信号生成回路が出力する複数の前記第 1 制御信号のうち、2 つ以上が同一の立ち上がりエッジあるいは立ち下がりエッジのいずれか一方を有することを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 1 1】

前記共通の信号は、所定信号によりデコードされた後、前記第 1 ライトレジスタ及び第 2 ライトレジスタに入力されることを特徴とする請求項 5 に記載の半導体記憶装置。

【請求項 1 2】

前記共通の信号は、所定信号によりデコードされた後、前記第 1 リードレジスタ及び第 2 リードレジスタに入力されることを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 1 3】

前記共通の信号は、所定信号によりデコードされた後、前記第 1 レジスタ及び第 2 レジスタに入力されることを特徴とする請求項 7 に記載の半導体記憶装置。

【請求項 1 4】

前記共通の信号は、所定信号によりデコードされた後、前記第1、第2ライトレジスタ、及び第1、第2リードレジスタに入力されることを特徴とする請求項8に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、高周波クロックに同期してデータを入出力する半導体記憶装置に関するものである。

【0002】

【従来の技術】

一般的な高周波クロック同期型メモリの回路構成を、図19に示す。メモリ回路1は、大別してメモリ・コア部2とその他のI/F回路から構成される。

【0003】

I/F回路は、メモリ・コア部2に隣り合う左右のシフトレジスタ部3と、これに対応した外部信号線とシフトレジスタ部3との間に配置された左右のI/O回路（入出力回路）4と、DLL（Delayed Locked Loop）回路5と、コントロールロジック6とを備えている。

【0004】

DLL回路5は、外部から入力される書き込み用クロックRXCLKに同期して、内部ライトデータを制御するクロックrclkを生成し、また、外部から入力される読み出し用クロックTXCLKに同期して、内部リードデータを制御するクロックtclkを生成する回路である。

【0005】

また、コントロールロジック6は、外部コマンド信号COMMANDにより入力されたプロトコルを論理演算して、メモリ回路1のコントロール信号を生成する回路である。

【0006】

左右のI/O回路4は、内部ライトデータ制御クロックrclkを用いて、外部入出力データ線からシリアル・ライトデータDQ<0:7>、DQ<8:15>をそれぞれ取

り込み、複数のシフトレジスタからなる左右のシフトレジスタ部 3 に入力する内部シリアル・ライトデータ eWrite、oWrite を出力する。

【0 0 0 7】

また、左右の I/O 回路 4 は、内部リードデータ制御クロック tclk を用いて、左右のシフトレジスタ部 3 から内部シリアル・リードデータ eRead、oRead をそれぞれ取り込み、外部入出力データ線にシリアル・リードデータ DQ<0:7>、DQ<8:15> をそれぞれ出力する。

【0 0 0 8】

ここで、<0:7>、<8:15> は、全部で 16 ビットのデータの内、それぞれ前半の 8 ビットのデータと後半の 8 ビットのデータを示している。なお、Read、Write に付記した “e”、“o” の文字は、それぞれ偶数番 (even)、及び奇数番 (odd) のデータを示している。

【0 0 0 9】

左右のシフトレジスタ部 3 は、読み出し動作時にコントロール信号によりメモリ・コア部 2 から読み出された内部パラレル・リードデータ RD<0:7> をそれぞれ取り込み、また書き込み動作時にコントロール信号により内部パラレル・ライトデータ WD<0:7> をそれぞれ出力して、メモリ・コア部 2 に書き込む。

【0 0 1 0】

このように、左右のシフトレジスタ部 3 は、左右の I/O 回路 4 とメモリ・コア部 2 との間で、読み出し動作時に内部パラレル・リードデータ RD<0:7> を内部シリアル・リードデータ eRead、oRead に変換し、また書き込み動作時に内部シリアル・ライトデータ eWrite、oWrite を内部パラレル・ライトデータ WD<0:7> に変換する。

【0 0 1 1】

メモリ・コア部 2 は、ローデコーダ、カラムデコーダ、メモリセルアレイ、センスアンプ、リダンダンシ・ヒューズ、DQ バッファからなる通常の DRAM 回路で構成される。

【0 0 1 2】

上記したように、従来の高周波クロック同期型メモリのレイアウト構成におい

て、メモリ・コア部 2 から読み出されたパラレル・リードデータが、シフトレジスタ 3 によりシリアル・リードデータに変換され、I/O 回路 4 に到達するまでの経路を図 20 に示す。ここで、点線で囲まれた周辺回路部 7 の内部に含まれる左右の I/O 回路 4 は、IO_0、IO_2、…、IO_7 と、IO_8、IO_9、…、IO_15 とに分割されて左右に配置されている。また、シリアル・リードデータ eRead および oRead に付記した “_U” 及び “_B” の文字は、それぞれ周辺回路部 7 に対して上側のメモリ・コア部 2 から読み出されるデータ、及び下側のメモリ・コア部 2 から読み出されるデータを示している。アクセスするアドレスによって、上側のメモリ・コア部 2 あるいは下側のメモリ・コア部 2 のどちらか一方からリードデータを読み出すため、シフトレジスタ部 3 ではアクセスされたメモリ・コア部 2 に対応する方のシリアル・リードデータ eRead、または oRead を出力する。

【0013】

メモリ・コア部 2 にデータを書き込む場合は、シリアル・ライトデータが I/O 回路 4 からシフトレジスタ部 3 に入力され、シフトレジスタ部 3 でパラレル・ライトデータに変換された後、メモリ・コア部 2 に書き込まれる。

【0014】

このように、書き込み動作におけるデータの流は、読み出し動作におけるデータの流を逆にすれば求められるので、図 20 では読み出し動作の場合を例としてリードデータの経路を示している。

【0015】

図 20 に示すように、周辺回路部 7 の上下に配置されたメモリ・コア部 2 には、I/O 回路 4 の各 8 ビットの IO_0～IO_7 に対応して、左側のメモリ・コア部 2 に前記各 8 ビット分のセル領域 C0～C7 がそれぞれ割り付けられ、同様に、各 8 ビットの IO_8～IO_15 に対応して、右側のメモリ・コア部 2 に前記各 8 ビット分のセル領域 C8～C15 がそれぞれ割り付けられ、全体で 16 ビットの入出力幅を持つ高周波クロック周期型メモリを構成している。

【0016】

このようにして、図 20 のメモリ・コア部 2 に示されるように、メモリセルア

レイには $IO_0<0:7>\sim IO_{15}<0:7>$ までの各 IO に対して入出力される順番に対応した各 8 ビットの領域 $C_0\sim C_{15}$ がそれぞれ割り付けられている。高周波クロック同期型メモリのアクティブ動作時には、アドレス信号により左上及び右下または左下及び右上のどちらかの組合わせで 4 分割されたメモリ・コア部のうち 2 つが選択される。

【0017】

メモリ・コア部 2 から $IO_0\sim IO_{15}$ の各 IO に対して 8 ビットごとに、パラレルに読み出されたリードデータは、シフトレジスタ部 3 で各 8 ビットのシリアル・リードデータに変換される。

【0018】

シフトレジスタ部 3 の構成を図 21 (a) に示す。シフトレジスタ部 3 には、 I/O 回路 4 としての $IO_0\sim IO_7$ までの各 IO 回路に対応して、シフトレジスタが配置され、各シフトレジスタは、図 21 (b) に示すように、ライト動作のライトレジスタとリード動作のリードレジスタから構成されている。

【0019】

ライトレジスタは、各 IO に偶数番目に入力されるデータに対応する 4 ビットのシリアル・ライトデータ $eWrite$ が入力され、4 ビットのパラレル・ライトデータ $WD<0,2,4,6>$ を出力する偶数番用のライトレジスタと、奇数番目に入力されるデータに対応する 4 ビットのシリアル・ライトデータ $oWrite$ が入力され、4 ビットのパラレル・ライトデータ $WD<1,3,5,7>$ を出力する奇数番用のライトレジスタから構成される。

【0020】

また、リードレジスタは、各 IO から偶数番目に出力されるデータに対応する 4 ビットのパラレル・リードデータ $RD<0,2,4,6>$ を取り込み、4 ビットのシリアル・リードデータ $eRead$ を出力する偶数番用のリードレジスタと、奇数番目に出力されるデータに対応する 4 ビットのパラレル・リードデータ $RD<1,3,5,7>$ を取り込み、4 ビットのシリアル・リードデータ $oRead$ を出力する奇数番用のリードレジスタから構成される。

【0021】

これらライトレジスタとリードレジスタは、詳しくは書き込み制御クロック $rc\ clk$ 、及び読み出し制御クロック $tc\ clk$ の立ち上り、立ち下りの両エッジに同期して動作し、4 サイクルのクロックで 8 ビットのデータ転送を行う。

【0022】

以下、図 20 に示したメモリ・コア部 2 の 1 つと、対応するシフトレジスタ及び I/O 回路のひとつに着目し、図 22 乃至図 25 に示すタイミング波形図を用いて高周波クロック同期型メモリにおける書き込み動作及び読み出し動作の一例を説明する。

【0023】

はじめに、図 22 を用いて読み出し動作について説明する。外部コマンド信号 $COMMAND$ により、読み出し動作を指示するリードコマンド (Read Command) が入力されると、一定時間後にメモリ・コア部 2 のひとつから平行に 8 ビットのリードデータ $RD<0:7>$ が出力される。

【0024】

8 ビットの平行・リードデータ $RD<0:7>$ は、内部リードデータを制御するクロック $tc\ clk$ の立ち下がりに同期して、図 21 (b) に示したシフトレジスタに含まれる偶数番用のリードレジスタで、偶数番 0、2、4、6 からなる 4 ビットのシリアルデータ $eRead$ に変換される。

【0025】

また、前記平行・リードデータ $RD<0:7>$ は、クロック $tc\ clk$ の立ち上がりに同期して、対応するシフトレジスタに含まれる奇数番用のリードレジスタで、奇数番 1、3、5、7 からなる 4 ビットのシリアルデータ $oRead$ に変換される。

【0026】

これらを合成して、0～7 と番号付けされた計 8 ビットのシリアル・リードデータが、対応する I/O 回路を介して外部に出力される。このようにして、4 サイクルのクロック $tc\ clk$ で 8 ビットのシリアル・リードデータが出力される。前記読み出し動作では、クロック $tc\ clk$ の立ち上りエッジと立ち下がりエッジを用いることにより、各 4 ビットのシリアル・リードデータ $eRead$ 、 $oRead$ を交互に出力することができる。

【0027】

次に、図23を用いて読み出し動作の他の例について説明する。

【0028】

図23は、内部リードデータを制御するクロックtclkの立ち上がりエッジのみを用いて、パラレルデータからシリアルデータへの変換（以下、パラレル／シリアル変換）を行う場合のタイミング波形図である。

【0029】

図22で説明したクロックtclkの立ち上がり、立ち下がりエッジを使用する場合に比べて、8ビットのパラレル／シリアル変換を行うのに8サイクルのクロックtclkが必要となる。

【0030】

次に、図24を用いて書き込み動作の1例について説明する。

【0031】

外部コマンド信号COMMANDにより、書き込み動作を指示するライトコマンド信号(Write Command)が入力されると、一定時間後に外部信号にシリアル・ライトデータDQ<0:7>が入力され、I/O回路がこれを取り込み、8ビットのシリアル・ライトデータを出力する。

【0032】

I/O回路から出力された8ビットのシリアル・ライトデータは、内部ライトデータを制御するクロックrclkの立ち上がり同期して、対応する図21(b)のシフトレジスタに含まれるライトレジスタの偶数番側で偶数番の0、2、4、6からなる4ビットのシリアル・ライトデータeWriteに変換され保持される。

【0033】

また、シリアル・ライトデータDQ<0:7>は、クロックrclkの立ち下がり同期して、対応する図21(b)のシフトレジスタに含まれるライトレジスタの奇数番側で奇数番の1、3、5、7からなる4ビットのシリアル・ライトデータoWriteに変換され保持される。

【0034】

これら偶数番及び奇数番のシリアル・ライトデータが保持された図21(b)

のライトレジスタに含まれる偶数番側および奇数番側の各フリップフロップ（F F）の出力を合成することにより、シリアルデータからパラレルデータへの変換（以下、シリアル／パラレル変換）が行われ、0～7と番号付けられたパラレル・ライトデータWD<0:7>が出力される。

【0035】

次に、図25を用いて書き込み動作の他の例について説明する。

【0036】

図25は、内部ライトデータを制御するクロックrclkの立ち上がりエッジのみを用いて、シリアル／パラレル変換を行う場合のタイミング波形図である。図24で説明したクロックrclkの立ち上がりエッジと立ち下がりエッジを使用する場合に比べて、8ビットのシリアル／パラレル変換を行うのに8サイクルのクロックrclkが必要となる。

【0037】

次に、図26（a）、図26（b）を用いて従来の高周波クロック同期型メモリの構成について説明する。

【0038】

入出力ピンに接続されるパッド（図示せず）はチップの中央部に配置される。図26（a）に示すように、DLL回路5の左右に一系列のI／O回路4が配置され、その上部に隣接してコントロールロジック6を設ける。コントロールロジック6と、DLL回路5及び一系列のI／O回路4の上下に、シフトレジスタ部3が配置され、上下のメモリ・コア部2との間で矢示したようにデータ転送が行われる。

【0039】

メモリ・コア部2内のDQバッファ8と、メモリ・コア部2に冗長性を付与し不良ビットを切り離すことにより製造歩留まりの向上を図るリダンダンシ・ヒューズ回路9とがシフトレジスタ部3に隣接するように配置される。

【0040】

メモリ・コア部2は、通常の半導体記憶装置と同様に、図26（b）に示すように、DQバッファ8、ヒューズ回路9、メモリセルアレイ2、センスアンプ1

0、カラムデコーダ11、及びローデコーダ12から構成される。DQバッファ8、ヒューズ回路9、メモリセルアレイ2、カラムデコーダ11、及びローデコーダ12にはアドレス信号ADDが入力される。さらに、DQバッファ8には、ライトデータWDが入力される。また、DQバッファ8からはリードデータRDが出力される。

【0041】

前述した従来例では、シフトレジスタが多数のフリップフロップ（FF）から構成されており、各フリップフロップには複数のトランスファゲートが設けられている。多数のフリップフロップが有する複数のトランスファゲートにはクロック信号が入力されているため、従来例ではクロック信号の充放電による消費電流が大きくなってしまいうという問題点があった。

【0042】

次に、図27に示すようなシフトレジスタ部3とI/O回路4の配置をとる従来例について説明する。この例では、図20の従来例に対してメモリ・コア部2A、2Bとシフトレジスタ部3を90度回転して配置し、周辺回路部7に対して平行なメモリ・コア部2で、シフトレジスタ部3を共有している。また、シフトレジスタ部3は、偶数番用のシフトレジスタと奇数番用のシフトレジスタを、周辺回路部7に対して直角な方向に分けて配置している（例えば、特許文献1参照）。

【0043】

図27に示した例では、リードデータeRead、oRead、及びライトデータeWrite、oWriteが流れる配線の長さを短くするために、シフトレジスタ部3を図28（a）、図28（b）に示すような構成にしている。図28（b）は、図27に示した従来例の主要部のレイアウトを示す概略図であり、図28（a）は前記レイアウト中のシフトレジスタ部3における偶数番側のシフトレジスタの構成を示す図である。

【0044】

図21（a）に示した従来例のシフトレジスタでは、各I/Oに対応するシフトレジスタごとにまとめて配置していたが、図27に示す従来例ではリード側のシ

フトレジスタは入出力される各順番に対応するフリップフロップごとに全 I O 分まとめて配置している。

【0045】

また、ライト側のシフトレジスタ（ライトレジスタ）はライトデータ eWrite、oWrite が流れる配線の長さを短くするために、図 29 に示すような回路構成をとっている。

【0046】

図 30 に示すタイミング波形図を用いて、偶数番側のライトレジスタの動作を説明する。フリップフロップ F 11 は、クロック rclk の立ち上がりごとにシリアル・ライトデータ eWrite を 1 クロック遅らせてノード N 4 に出力する。ノード N 4 には、シリアルなライトデータが 0、2、4、6 の順で出力される。ラッチ回路 15 は、信号 WRTLAT が “H” になるのを受けて、ノード N 4 に出力されている 0 番目のライトデータを取り込み、さらにノード N 1 に出力し、信号 WRTLAT が “L” になるのを受けてこれを保持する。

【0047】

フリップフロップ F 12 は、信号 WRTLAT を入力として信号 WRTLAT に対して 1 クロック遅れた信号 L 1 を出力する。ラッチ回路 L T 16 は、信号 L 1 によってラッチ回路 L T 15 と同様に、ノード N 4 に出力されている 2 番目の信号をノード N 2 に出力し、さらに保持する。ラッチ回路 L T 17 は、ラッチ回路 L T 16 と同様の動作をする。

【0048】

WRTLAT 信号が “H” になってから 3 クロック後に、ノード N 1、N 2、N 3、N 4 に 0、2、4、6 番目のデータがそれぞれ揃い、信号 WRTOPEN によってパラレル・ライトデータ WD<0,2,4,6>が出力されと共に、保持される。

【0049】

以上のような動作により、図 29 に示すように構成されたライトレジスタはシリアル／パラレル変換を行っている。このライトレジスタでは、各 I O に対応したラッチ回路を I / O 回路の数だけ必要とするが、クロック rclk が入力され信号 WRTLAT を転送するフリップフロップは全 I O 分共有できる。このため、クロック

rclkが入力されるフリップフロップの個数が図21(b)に示した従来例のライトレジスタに比べて少なく、ライト動作時の消費電流が大幅に少ない。

【0050】

前述したように図27に示した従来例では、ライト動作時の消費電流が小さいが、リード動作時の消費電流は図20に示した従来例と同じである。また、図27に示した従来例では、リードデータeRead、oRead及びライトデータeWrite、oWriteの配線や、ライトレジスタのノードN4などの配線が長いため、高速動作に対して動作マージンが少ないという問題がある。

【0051】

次に、図31に示すようなシフトレジスタ部3とI/O回路4の配置をとる従来例について説明する。この例では、図20の従来例に対して、ライトレジスタを図21(b)に示した従来例と同じフリップフロップによるデータ転送方式を使い、リードレジスタを図29に示した従来例のライトレジスタと同様な制御信号を転送する方式を取っている（例えば、特許文献2参照）。

【0052】

図31に示した例では、リードデータeRead、oRead、及びライトデータeWrite、oWriteの配線の長さを短くするために、シフトレジスタを図32(a)、図32(b)に示すような構成にしている。図32(b)は、図31に示した従来例の主要部のレイアウトを示す概略図であり、図32(a)は前記レイアウト中のシフトレジスタ部3における偶数番側のシフトレジスタの構成を示す図である。

【0053】

図20に示した従来例のシフトレジスタでは、各I/Oに対応するシフトレジスタごとにまとめて配置していたが、図31に示した従来例ではリードレジスタは入出力される各順番に対応するフリップフロップごとに全I/O分まとめて配置している。ここで、各レジスタを並べる順番は、図28(a)に示した構成を逆になる。

【0054】

また、リードレジスタはリードデータeRead、oReadの配線の長さを短くするために、図33に示すような回路構成をとっている。

【0055】

図34に示すタイミング波形図を用いて、偶数番側のリードレジスタの動作を説明する。ラッチ回路LT21は、信号RDLATが“H”の期間にノードN1に0番目のリードデータを出力し、“L”の期間は出力がHiZ（ハイインピーダンス）になる。フリップフロップ（FF）F21は、信号RDLATに対して1クロック遅れた信号L2を出力する。ラッチ回路LT22は、信号L2が“H”の期間にノードN1に2番目のリードデータを出力し、“L”の期間は出力がHiZになる。フリップフロップF22は信号L2に対して1クロック遅れた信号L3を出力する。ラッチ回路LT23は、信号L3が“H”の期間にノードN1に4番目のリードデータを出力し、“L”の期間は出力がHiZになる。フリップフロップF23は、信号L3に対して1クロック遅れた信号L4を出力する。ラッチ回路LT24は、信号L4が“H”の期間にノードN1に6番目のリードデータを出力し、“L”の期間は出力がHiZになる。

【0056】

前述の動作によりノードN1に、0、2、4、6番目のデータがシリアルに出力される。ノードN1に出力されたデータは、フリップフロップF24によって1クロック遅延され、0、2、4、6番目のリードデータeReadがシリアルに出力される。

【0057】

以上のような動作により、図33に示したリードレジスタはパラレル／シリアル変換を行っている。このリードレジスタは各IOに対応したラッチ回路をI/O回路の数だけ必要とするが、クロックtclkが入力される信号RDLATを転送するフリップフロップは全IO分共有できる。このため、クロックtclkが入力されるフリップフロップの個数が図21（b）に示した従来例のリードレジスタに比べて少なく、リード動作時の消費電流が大幅に少ない。

【0058】

前述したように図31に示した従来例では、リード動作時の消費電流は小さいが、ライト動作時の消費電流は図20に示した従来例と同じである。図31の従来例では、またリードデータeRead、oRead及びライトデータeWrite、oWriteの配

線や、リードレジスタのノードN1などの配線が長いため、高速動作に対して動作マージンが少ないという問題がある。

【0059】**【特許文献1】**

特開 2000-188381号公報

【0060】**【特許文献2】**

特開 2002-109886号公報

【0061】**【発明が解決しようとする課題】**

前述した従来例の問題点をまとめると以下ようになる。

【0062】

図20に示した従来例では、シフトレジスタが多数のフリップフロップ（FF）から構成されており、各フリップフロップには複数のトランスファゲートが設けられている。多数のフリップフロップが有する複数のトランスファゲートにはクロック信号が入力されているため、従来例ではクロック信号の充放電による消費電流が大きくなってしまいう問題点がある。

【0063】

また、図27に示した従来例では、ライト動作時の消費電流は小さいが、リード動作時の消費電流は図20に示した従来例と同様に大きいという問題点がある。さらに、リードデータeRead、oRead及びライトデータeWrite、oWriteの配線や、ライトレジスタのノードN4などの配線が長いため、高速動作に対して動作マージンが少ないという問題がある。

【0064】

また、図31に示した従来例では、リード動作時の消費電流は小さいが、ライト動作時の消費電流は図20に示した従来例と同様に大きいという問題点がある。さらに、リードデータeRead、oRead及びライトデータeWrite、oWriteの配線や、リードレジスタのノードN1などの配線が長いため、高速動作に対して動作マージンが少ないという問題がある。

【 0 0 6 5 】

また、前述した従来例では、書き込み動作時のシリアル／パラレル変換、及び読み出し動作時のパラレル／シリアル変換の際に用いられるクロック信号がデータごとに独立して制御できないため、データの書き込み及び読み出しをシリアルな順番に行うことしかできず、変換するデータ配列の入れ換えができないという問題がある。

【 0 0 6 6 】

そこでこの発明は、前記課題に鑑みてなされたものであり、リードレジスタ及びライトレジスタの変換動作を制御する信号のタイミングに柔軟性を持たせることにより、データの順序の入れ替え等の機能持つリードレジスタ及びライトレジスタを備えた半導体記憶装置を提供することを目的とする。

【 0 0 6 7 】

また、高速動作のマージンを確保しつつ、チップ面積を増加することなく、低消費電力でパラレルデータをシリアルデータに変換するリードレジスタ、及びシリアルデータをパラレルデータに変換するライトレジスタを備えた半導体記憶装置を提供することを目的とする。

【 0 0 6 8 】**【課題を解決するための手段】**

前記目的を達成するために、この発明に係る半導体記憶装置は、複数のメモリセルから構成されたメモリセルアレイと、外部との間で複数ビットのシリアルデータの入出力を行う入出力回路と、前記入出力回路から前記複数ビットのシリアルデータを受け取り、前記複数ビットのシリアルデータをパラレルデータに変換する第1レジスタと、前記複数のメモリセルから読み出した複数ビットのパラレルデータを受け取り、前記複数ビットのパラレルデータをシリアルデータに変換する第2レジスタとを有するレジスタ部と、前記複数ビットのシリアルデータをパラレルデータに変換する際に、ビット毎に変換のタイミングを与える複数の第1制御信号を生成するとともに、前記複数ビットのパラレルデータをシリアルデータに変換する際に、ビット毎に変換のタイミングを与える複数の第2制御信号を生成する信号生成回路とを具備し、前記信号生成回路は、前記複数の第1制御

信号の立ち上がりまたは立ち下りのいずれかのタイミングを制御して、前記複数ビットのシリアルデータのビット毎の値を、前記複数のメモリセルのうちどのメモリセルに記憶するかを設定するとともに、前記複数の第2制御信号の立ち上がりまたは立ち下りのいずれかのタイミングを制御して、前記複数のメモリセルから読み出した前記複数ビットの平行データデータのビット毎の値を、シリアルデータのうちの何番目の値にするかを設定することを特徴とする。

【0069】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態の半導体記憶装置について説明する。半導体記憶装置として、ここでは高周波クロックに同期してデータを入出力する高周波クロック同期型メモリを例に取る。説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0070】

[第1の実施の形態]

まず、この発明の第1の実施の形態の高周波クロック同期型メモリについて説明する。

【0071】

図1は、第1の実施の形態の高周波クロック同期型メモリの回路構成を示すブロック図である。

【0072】

メモリ回路1は、大別してメモリ・コア部2とその他のI/F回路から構成される。

【0073】

I/F回路は、メモリ・コア部2に隣り合う左右のシフトレジスタ部3と、これに対応した外部信号線とシフトレジスタ部3との間に配置された左右のI/O回路（入出力回路）4と、DLL（Delayed Locked Loop）回路5と、コントロールロジック6とを備えている。

【0074】

DLL回路5は、外部から入力される書き込み用クロックRXCLKに同期して、

内部ライトデータを制御するクロックrclkを生成し、また、外部から入力される読み出し用クロックTXCLKに同期して、内部リードデータを制御するクロックtclkを生成する回路である。

【0075】

また、コントロールロジック6は、外部コマンド信号COMMANDにより入力されたプロトコルを論理演算して、メモリ回路1のコントロール信号を生成する回路である。

【0076】

左右のI/O回路4は、内部ライトデータ制御クロックrclkを用いて、外部入出力データ線からシリアル・ライトデータDQ<0:7>、DQ<8:15>をそれぞれ取り込み、複数のシフトレジスタからなる左右のシフトレジスタ部3に入力する内部シリアル・ライトデータeWrite、oWriteを出力する。

【0077】

また、左右のI/O回路4は、内部リードデータ制御クロックtclkを用いて、左右のシフトレジスタ部3から内部シリアル・リードデータeRead、oReadをそれぞれ取り込み、外部入出力データ線にシリアル・リードデータDQ<0:7>、DQ<8:15>をそれぞれ出力する。

【0078】

ここで、<0:7>、<8:15>は、全部で16ビットのデータの内、それぞれ前半の8ビットのデータと後半の8ビットのデータを示している。なお、Read、Writeに付記した“e”、“o”の文字は、それぞれ偶数番(even)、及び奇数番(odd)のデータを示している。

【0079】

左右のシフトレジスタ部3は、読み出し動作時にコントロール信号によりメモリ・コア部2から読み出された内部パラレル・リードデータRD<0:7>をそれぞれ取り込み、また書き込み動作時にコントロール信号により内部パラレル・ライトデータWD<0:7>をそれぞれ出力して、メモリ・コア部2に書き込む。

【0080】

このように、左右のシフトレジスタ部3は、左右のI/O回路4とメモリ・コ

ア部 2 との間で、読み出し動作時に内部パラレル・リードデータ RD<0:7>を内部シリアル・リードデータ eRead、oRead に変換し、また書き込み動作時に内部シリアル・ライトデータ eWrite、oWrite を内部パラレル・ライトデータ WD<0:7>に変換する。

【 0 0 8 1 】

メモリ・コア部 2 は、ローデコーダ、カラムデコーダ、メモリセルアレイ、センスアンプ、リダンダンシ・ヒューズ、DQ バッファからなる通常の D R A M 回路で構成される。

【 0 0 8 2 】

図 2 は、前記第 1 の実施の形態の高周波クロック同期型メモリにおける主要部の配置関係を示すブロック図である。

【 0 0 8 3 】

メモリ・コア部 2、シフトレジスタ部 3、及び周辺回路部 7 は、図 2 に示すように配置されている。周辺回路部 7 は、I/O 回路 4、D L L 回路 5、及びコントロールロジック 6 を有している。I/O 回路 4 は、I O _ 0、I O _ 2、…、I O _ 7 と、I O _ 8、I O _ 9、…、I O _ 1 5 とに分割されて左右に配置されている。

【 0 0 8 4 】

I O _ 0 ~ I O _ 7 には、外部よりシリアル・ライトデータ D Q < 0 : 7 > が入力され、I O _ 0 ~ I O _ 7 からはシリアル・ライトデータ eWrite < 0 : 7 > 及び oWrite < 0 : 7 > が出力される。I O _ 8 ~ I O _ 1 5 には、外部よりシリアル・ライトデータ D Q < 8 : 1 5 > が入力され、I O _ 8 ~ I O _ 1 5 からはシリアル・ライトデータ eWrite < 8 : 1 5 > 及び oWrite < 8 : 1 5 > が出力される。

【 0 0 8 5 】

また、I O _ 0 ~ I O _ 7 には、シリアル・リードデータ eReade < 0 : 7 > 及び oRead < 0 : 7 > が入力され、I O _ 0 ~ I O _ 7 からは外部シリアル・リードデータ D Q < 0 : 7 > が出力される。I O _ 8 ~ I O _ 1 5 には、シリアル・リードデータ eReade < 8 : 1 5 > 及び oRead < 8 : 1 5 > が入力され、I O _ 8 ~ I O _ 1 5 からは外部シリアル・リードデータ D Q < 8 : 1 5 > が出力される。

【0086】

シフトレジスタ部3は、偶数番用のシフトレジスタと奇数番用のシフトレジスタを有している。これら偶数番用及び奇数番用のシフトレジスタは、I/O回路4のIO_0～IO_7の上下、およびIO_8～IO_15の上下に分けて配置されている。さらに、シフトレジスタ部3は、I/O回路4のIO_0～IO_7、及びIO_8～IO_15に対し、対応するIOごとにまとめられている（括弧内に対応するIOを示す）。

【0087】

メモリ・コア部2は4つに分割され、図2に示すように、偶数番用及び奇数番用のシフトレジスタの上下に配置されている。これらメモリ・コア部2には、I/O回路4の各8ビットのIO_0～IO_7に対応して、左側のメモリ・コア部2に前記各8ビット分のセル領域C0～C7がそれぞれ割り付けられ、同様に、各8ビットのIO_8～IO_15に対応して、右側のメモリ・コア部2に前記各8ビット分のセル領域C8～C15がそれぞれ割り付けられ、全体で16ビットの入出力幅を持つ高周波クロック周期型メモリを構成している。

【0088】

このようにして、図2のメモリ・コア部2に示されるように、メモリセルアレイにはIO_0<0:7>～IO_15<0:7>までの各IOに対して入出力される順番に対応した各8ビットの領域C0～C15がそれぞれ割り付けられている。高周波クロック同期型メモリのアクティブ動作時には、アドレス信号により左上及び右下または左下及び右上のどちらかの組合わせで4分割されたメモリ・コア部のうち2つが選択される。

【0089】

図3（a）、図3（b）、及び図4（a）、図4（b）は、前記偶数番用及び奇数番用のシフトレジスタが有するリードレジスタ、及びライトレジスタの構成を示す回路図である。図3（a）は、偶数番用のリードレジスタを示し、図3（b）は偶数番用のライトレジスタを示す。図4（a）は、奇数番用のリードレジスタを示し、図4（b）は奇数番用のライトレジスタを示す。

【0090】

図3 (a) に示すように、パラレル・リードデータ RD<0>は、否定回路 I V 1 を介してトランスファゲート T G 1 の電流通路の一端に入力される。トランスファゲート T G 1 の一方のゲートには信号 eROPN<0>が入力され、他方のゲートには信号 eROPN<0>が否定回路 I V 2 を介して入力される。

【0091】

同様に、パラレル・リードデータ RD<2>、RD<4>、RD<6>は、それぞれ否定回路 I V 3、I V 5、I V 7 を介して、トランスファゲート T G 2、T G 3、T G 4 の電流通路の一端に入力される。トランスファゲート T G 2、T G 3、T G 4 の各々の一方のゲートには信号 eROPN<1>、eROPN<2>、eROPN<3>がそれぞれ入力され、他方のゲートには信号 eROPN<1>、eROPN<2>、eROPN<3>がそれぞれ否定回路 I V 4、I V 6、I V 8 を介して入力される。

【0092】

トランスファゲート T G 1、T G 2、T G 3、T G 4 の各々の電流通路の他端は、ラッチ回路 L T 1、トランスファゲート T G 5 を介してラッチ回路 L T 2 に接続されている。そして、ラッチ回路 L T 2 からは、シリアル・リードデータ eRead が出力される。

【0093】

また、図3 (b) に示すように、シリアル・ライトデータ eWrite は、トランスファゲート T G 6、ラッチ回路 L T 3、トランスファゲート T G 7、及びラッチ回路 L T 4 を順に介して、トランスファゲート T G 8～T G 11 の各々の電流通路の一端に入力されている。トランスファゲート T G 8～T G 11 の各々の一方のゲートには、信号 eWOPN<0>、eWOPN<1>、eWOPN<2>、eWOPN<3>がそれぞれ入力され、他方のゲートには信号 eWOPN<0>、eWOPN<1>、eWOPN<2>、eWOPN<3>がそれぞれ否定回路 I V 9～I V 12 の各々を介して入力される。

【0094】

トランスファゲート T G 8～T G 11 の各々の電流通路の他端からは、否定回路 I V 13～I V 16 の各々を介して、パラレル・ライトデータ WD<0>、WD<2>、WD<4>、WD<6>が出力される。

【0095】

また、図4（a）に示すように、パラレル・リードデータRD<1>は、否定回路IV17を介してトランスファゲートTG12の電流通路の一端に入力される。トランスファゲートTG12の一方のゲートには信号oROPN<0>が入力され、他方のゲートには信号oROPN<0>が否定回路IV18を介して入力される。

【0096】

同様に、パラレル・リードデータRD<3>、RD<5>、RD<7>は、それぞれ否定回路IV19、IV21、IV23を介して、トランスファゲートTG13、TG14、TG15の電流通路の一端に入力される。トランスファゲートTG13、TG14、TG15の各々の一方のゲートには信号oROPN<1>、oROPN<2>、oROPN<3>がそれぞれ入力され、他方のゲートには信号oROPN<1>、oROPN<2>、oROPN<3>がそれぞれ否定回路IV20、IV22、IV24を介して入力される。

【0097】

トランスファゲートTG12～TG15の各々の電流通路の他端は、ラッチ回路LT5、トランスファゲートTG17、ラッチ回路LT6、トランスファゲートTG18を順に介してラッチ回路LT7に接続されている。そして、ラッチ回路LT7からは、シリアル・リードデータoReadが出力される。

【0098】

また、図4（b）に示すように、シリアル・ライトデータoWriteは、トランスファゲートTG19、ラッチ回路LT8を順に介して、トランスファゲートTG20～TG23の各々の電流通路の一端にそれぞれ入力されている。トランスファゲートTG20～TG23の各々の一方のゲートには、信号oWOPN<0>、oWOPN<1>、oWOPN<2>、oWOPN<3>がそれぞれ入力され、他方のゲートには信号oWOPN<0>、oWOPN<1>、oWOPN<2>、oWOPN<3>がそれぞれ否定回路IV25～IV28の各々を介して入力される。

【0099】

トランスファゲートTG20～TG23の各々の電流通路の他端からは、否定回路IV25～IV28の各々を介して、パラレル・ライトデータWD<1>、WD<3>、WD<5>、WD<7>が出力される。

【0100】

次に、図3（a）、図3（b）、図4（a）及び図4（b）に示したリードレジスタが行うパラレル／シリアル変換、及びライトレジスタが行うシリアル／パラレル変換について説明する。

【0101】

図5は、図3（a）に示したリードレジスタのパラレル／シリアル変換動作を示すタイミング波形図である。

【0102】

読み出し動作において、偶数番用のリードレジスタは、4ビットのパラレルな入力であるパラレル・リードデータRD<0,2,4,6>を、4ビットのシリアルな出力であるシリアル・リードデータeReadに変換する。

【0103】

メモリ・コア部2からパラレル・リードデータRD<0,2,4,6>が読み出された後、クロックtclkに同期して1サイクルずつタイミングの異なる4本の信号eROPN<0:3>が順番に、クロックtclkの1サイクル期間だけ“H”になる。これら信号eROPN<0:3>の立ち上がりに応答して、トランスファゲートTG1～TG4からはパラレル・リードデータRD<0>、RD<2>、RD<4>、RD<6>が順番に出力され、信号eRmixはシリアル・リードデータ<0,2,4,6>となる。信号eReadは、信号eRmixから半サイクル遅れて、シリアル・リードデータ<0,2,4,6>となる。

【0104】

図6は、図3（b）に示したライトレジスタのシリアル／パラレル変換動作を示すタイミング波形図である。

【0105】

書き込み動作において、偶数番用のライトレジスタは、4ビットのシリアルな入力であるシリアル・ライトデータeWriteを、4ビットのパラレルな出力であるパラレル・ライトデータWD<0,2,4,6>に変換する。

【0106】

ライトレジスタのトランスファゲートTG6に、外部よりシリアル・ライトデータeWriteが<0,2,4,6>の順番で入力される。すると、クロックrclkに同期し1サイクル遅れて、ラッチ回路LT4からシリアル・ライトデータeWrite<0,2,4,6>

>が順番に出力される（信号eWmix）。これに合わせて、信号eWOPN<0:3>は、クロックrclkに同期して順番に1サイクル期間だけ“H”になる。これら信号eWOPN<0:3>の立ち上がりに応答して、信号eWmixがトランスファゲートTG8～TG11に取りこまれ、否定回路IV13～IV16からパラレル・ライトデータWD<0>、WD<2>、WD<4>、WD<6>が出力される。

【0107】

図7は、図4（a）に示したリードレジスタのパラレル／シリアル変換動作を示すタイミング波形図である。

【0108】

読み出し動作において、奇数番用のリードレジスタは、4ビットのパラレルな入力であるパラレル・リードデータRD<1,3,5,7>を、4ビットのシリアルな出力であるシリアル・リードデータoReadに変換する。

【0109】

メモリ・コア部2からパラレル・リードデータRD<1,3,5,7>が読み出された後、クロックtclkに同期して1サイクルずつタイミングの異なる4本の信号oROPN<0:3>が順番にクロックtclkの1サイクル期間だけ“H”になる。これら信号oROPN<0:3>の立ち上がりに応答して、トランスファゲートTG12～TG15からはパラレル・リードデータRD<1>、RD<3>、RD<5>、RD<7>が順番に出力され、信号oRmixはシリアル・リードデータ<1,3,5,7>となる。信号oReadは、信号eRmixから1サイクル遅れて、シリアル・リードデータ<1,3,5,7>となる。すなわち、奇数番用のリードレジスタは、信号oRmixを出力するまでは偶数番用のリードレジスタと同じタイミングで同様に動作し、トランスファゲートとラッチ回路によりシリアル・リードデータeReadに比べて半サイクル遅れたタイミングでシリアル・リードデータoReadを出力する。

【0110】

図8は、図4（b）に示したライトレジスタのシリアル／パラレル変換動作を示すタイミング波形図である。

【0111】

書き込み動作において、奇数番用のライトレジスタは、4ビットのシリアルな

入力であるシリアル・ライトデータoWriteを、4ビットの平行な出力である平行・ライトデータWD<1, 3, 5, 7>に変換する。

【0 1 1 2】

ライトレジスタのトランスファゲートTG 1 9に、外部よりシリアル・ライトデータoWriteが<1, 3, 5, 7>の順番で入力される。すると、クロックrclkに同期し半サイクル遅れて、ラッチ回路LT 8からシリアル・ライトデータeWrite<1, 3, 5, 7>が順番に出力される（信号oWmix）。これに合わせて、信号oWOPN<0:3>は、クロックrclkに同期して順番に1サイクル期間だけ“H”になる。これら信号oWOPN<0:3>の立ち上がりに対応して、信号oWmixがトランスファゲートTG 2 0～TG 2 3に取りこまれ、否定回路IV 2 9～IV 3 2から平行・ライトデータWD<0>、WD<2>、WD<4>、WD<6>が出力される。

【0 1 1 3】

奇数番用のライトレジスタには、シリアル・ライトデータeWriteに比べてシリアル・ライトデータoWriteが半サイクル遅れたタイミングで入力されるが、信号eWmixと信号oWmixが出力されるタイミングは同じになり、さらにこれ以降は同じタイミングで動作する。

【0 1 1 4】

前述したように、読み出し動作及び書き込み動作の両方に前記構成を有するリードレジスタ及びライトレジスタを用いることにより、リードレジスタ及びライトレジスタに多数のフリップフロップを用いた従来技術に比べて、クロック信号が入力されるトランジスタ数を大幅に削減することができる。これにより、読み出し動作及び書き込み動作時における消費電流を削減できる。なお、フリップフロップは、多数のトランスファゲートが備えられ、多数のトランジスタを有している。

【0 1 1 5】

また、前述した高周波クロック同期型メモリでは、シフトレジスタ部3とI/O回路4との間を結ぶ配線（信号eRead、oRead、eWrite、oWriteが流れる配線）の配線長を短くすることが可能なため、高速動作に対する動作マージンを十分に確保できる。

【0116】**[第2の実施の形態]**

次に、この発明の第2の実施の形態の高周波クロック同期型メモリについて説明する。

【0117】

図9は、第2の実施の形態の高周波クロック同期型メモリの回路構成を示すブロック図である。

【0118】

この第2の実施の形態は、図9に示すように、コントロールロジック6内に信号生成回路6Aを備えている。この信号生成回路6Aは、前述したシフトレジスタに入力される信号eROPN<0:3>、oROPN<0:3>及び信号eWOPN<0:3>、oWOPN<0:3>を生成する回路であり、信号eROPN<0:3>、oROPN<0:3>及び信号eWOPN<0:3>、oWOPN<0:3>が“H”になるタイミングを自由に入れ替えることができる。

【0119】

信号生成回路6Aにより、信号eROPN<0:3>、oROPN<0:3>及び信号eWOPN<0:3>、oWOPNが“H”になる順番を自由に入れ替えれば、書き込み動作時に書き込むデータの順番と読み出し動作時に読み出すデータの順番を任意に変更することができる。

【0120】

なお、その他の構成は、前記第1の実施の形態における構成と同様であり、以下に異なる構成部分のみを説明する。

【0121】

図10(a)、図10(b)及び図10(c)は、第2の実施の形態の高周波クロック同期型メモリが備える信号生成回路6Aの構成を示すブロック図及び回路図である。ここでは、信号eWOPN<0:3>を生成する回路の例を示す。なお、信号oWOPN<0:3>、eROPN<0:3>、及びoROPN<0:3>を生成する信号生成回路についても、同様の構成にて形成できる。

【0122】

図10(a)に、信号eWOPN<0:3>を生成する信号生成回路のブロック図を示す

。パルス発生器<0>には、信号pls<0:3>と信号odr0<0:1>が入力され、信号eWOPN<0>が出力される。同様に、パルス発生器<1>、パルス発生器<2>、及びパルス発生器<3>には、それぞれ信号pls<0:3>と信号odr1<0:1>、信号pls<0:3>と信号odr2<0:1>、及び信号pls<0:3>と信号odr3<0:1>が入力され、信号eWOPN<1>、eWOPN<2>、及びeWOPN<3>信号が出力される。

【0123】

図10(b)に、パルス発生器<0>の回路図を示す。信号eWOPN<0>を出力する否定論理積回路NA1の第1入力端には、否定論理積回路NA2の出力端が接続されている。同様に、否定論理積回路NA1の第2入力端、第3入力端、第4入力端には、それぞれ否定論理積回路NA3、NA4、NA5の出力端が接続されている。否定論理積回路NA2の第1入力端には信号pls<3>が入力され、第2入力端には信号odr0<0>が入力され、さらに第3入力端には信号odr0<1>が入力されている。否定論理積回路NA3の第1入力端には、信号pls<2>が入力され、第2入力端には信号odr0b<0>が入力され、さらに第3入力端には信号odr0<1>が入力されている。

【0124】

否定論理積回路NA4の第1入力端には、信号pls<1>が入力され、第2入力端には信号odr0<0>が入力され、さらに第3入力端には信号odr0b<1>が入力されている。否定論理積回路NA5の第1入力端には、信号pls<0>が入力され、第2入力端には信号odr0b<0>が入力され、さらに第3入力端には信号odr0b<1>が入力されている。

【0125】

図10(c)に、信号pls<0:3>を発生する回路と、信号odr0b<0:1>を発生する回路を示す。

【0126】

信号pls<0:3>を発生する回路は、直列に接続された3段のフリップフロップ(FF)F1、F2、F3から構成される。1クロックのパルスがフリップフロップF1に入力されると、フリップフロップF1～F3によりそれぞれ1サイクルずつ遅れた信号pls<1>、信号pls<2>、信号pls<3>が生成される。

【0127】

信号odr0b<0:1>を発生する回路は、否定回路 I V 3 3 または I V 3 4 から構成される。信号odr0<0>が否定回路 I V 3 3 に入力されると、反転され信号odr0b<0>が出力される。同様に、信号odr0<1>が否定回路 I V 3 4 に入力されと、反転され信号odr0b<1>が出力される。

【0128】

次に、図10 (a) ~ 図10 (c) に示した信号生成回路 6 Aにより、書き込み動作時に書き込むデータの順番を任意に変更し、さらに読み出し動作時に読み出すデータの順番を任意に変更する例を示す。

【0129】

図11 (a)、図11 (b) は、書き込み動作時に書き込むデータの順番と読み出し動作時にデータを読み出す順番を変更した場合の波形図である。

【0130】

まず、書き込み動作において、信号eWOPN<0:3>をeWOPN<1>、eWOPN<2>、eWOPN<3>、eWOPN<0>の順番で“H”にすると、パラレル・ライトデータWD<0,2,4,6>は、図11 (a) に示すように、それぞれD、A、B、Cのデータとなり、これらのデータが書き込まれる。

【0131】

次に、読み出し動作において、パラレル・リードデータRD<0,2,4,6>には、図11 (b) に示すように、D、A、B、Cのデータが読み出される。信号eROPN<0:3>を信号eROPN<2>、eROPN<3>、eROPN<0>、eROPN<1>の順番で“H”にすると、シリアル・リードデータeReadはB、C、D、Aの順番のシリアルデータとなる。

【0132】

この例では、書き込み動作→読み出し動作によって、書き込み時にはA、B、C、Dの順番のデータがB、C、D、Aの順番のデータになる。

【0133】

以下に、図10 (a) ~ 図10 (c) に示した信号生成回路 6 Aにおいて、信号eWOPN<0:3>の出力タイミングを任意に制御する例を示す。

【0134】

信号odr0<0:1>、odr1<0:1>、odr2<0:1>、odr3<0:1>は、それぞれ信号eWOPN<0>、eWOPN<1>、eWOPN<2>、eWOPN<3>の出力（“H”パルスが出力される）タイミングを制御する各2ビット、計8ビットの信号である。外部に備えられたメモリコントローラ等から、前記8ビットの信号を入力することにより、信号eWOPN<0:3>の“H”が立ち上がるタイミングを任意に制御する。

【0135】

図11（a）に示した書き込み動作時における信号eWOPN<0:3>の出力タイミングは、図12（a）に示す信号odr0<0:1>、odr1<0:1>、odr2<0:1>、及びodr3<0:1>により制御される。図10（a）～図10（c）に示した信号生成回路6Aに、前記信号odr0<0:1>、odr1<0:1>、odr2<0:1>、odr3<0:1>と、信号pls<0:3>が入力されると、図12（b）に示すタイミングで信号eWOPN<0:3>が出力される。

【0136】

また、図11（b）に示した読み出し動作時における信号eROPN<0:3>の出力タイミングは、図13（a）に示す信号odr0<0:1>、odr1<0:1>、odr2<0:1>、odr3<0:1>により制御される。図10（a）～図10（c）に示した信号生成回路6Aにおいて、出力信号eWOPN<0:3>を信号eROPN<0:3>とし、クロックrclkをクロックtclkとする。このような信号生成回路に、図13（a）に示す信号odr0<0:1>、odr1<0:1>、odr2<0:1>、odr3<0:1>と、信号pls<0:3>が入力されると、図13（b）に示すタイミングで信号eROPN<0:3>が出力される。

【0137】

また、書き込み動作時において、信号eWOPN<0:3>が全て同時に“H”になるように、信号eWOPN<0:3>を生成することも可能である。この場合の書き込み動作におけるタイミングチャートを図14に示す。図10（a）～図10（c）に示した信号生成回路6Aに、図15（a）に示す信号odr0<0:1>、odr1<0:1>、odr2<0:1>、odr3<0:1>と、信号pls<0:3>が入力されると、図15（b）に示すように、信号eWOPN<0:3>が全て同じタイミングで“H”となる。

【0138】

前述したように、信号eWOPN<0:3>が全て同時に“H”になるように制御すれば

、1クロックパルスの動作で同時に、シリアル・ライトデータeWriteをパラレル・ライトデータWD<0,2,4,6>に変換できる。これにより、製造後の動作テストなどの際に、動作テストに要する時間を削減することができる。

【0139】

また、以下に、信号eWOPN<0:3>の出力タイミングの他の例を示す。信号生成回路6Aに、図16(a)に示す信号odr0<0:1>、odr1<0:1>、odr2<0:1>、odr3<0:1>と、信号pls<0:3>を入力すれば、図16(b)に示すようなタイミングで信号eWOPN<0:3>を出力することも可能である。

【0140】

この実施の形態における前記信号生成回路6Aは、信号eWOPN<0:3>の立ち上がりまたは立ち下がりのいずれかのタイミングを制御することにより、前記複数ビットのシリアルデータのビット毎の値を、前記複数のメモリセルのうちどのメモリセルに記憶するかを設定する。

【0141】

前記信号生成回路6Aは、また信号eROPN<0:3>の立ち上がりまたは立ち下がりのいずれかのタイミングを制御して、複数のメモリセルから読み出した複数ビットのパラレルデータのビット毎の値を、シリアルデータのうちの何番目の値とするかを設定する。

【0142】

以上説明したようにこの第2の実施の形態では、書き込み動作時に書き込むデータの順番、及び読み出し動作時に読み出すデータの順番を任意に変更することができる。これにより、書き込み時に書きこんだデータの順番と読み出し時に読み出すデータの順番を変更することができる。このような機能を使って書き込み動作及び読み出し動作を行うことにより、データの順番の入れ替えなどの簡単な演算を行うことができる。

【0143】

さらに、書き込み動作時において、シリアル・ライトデータをパラレル・ライトデータに変換する際の制御クロックを全て同時に“H”にすることで、クロック信号の1サイクルの期間で同時に、シリアル・ライトデータをパラレル・ライ

トデータに変換できる。これにより、書き込み動作のテストを行う際に、テストに要する時間を削減することができる。

【0144】

[第3の実施の形態]

次に、この発明の第3の実施の形態の高周波クロック同期型メモリについて説明する。

【0145】

この第3の実施の形態は、前記第1の実施の形態における偶数番用と奇数番用のそれぞれのシフトレジスタで用いられる信号eROPN<0:3>と信号oROPN<0:3>、及び信号eWOPN<0:3>と信号oWOPN<0:3>を共通にし、信号ROPN<0:3>、及び信号WOPN<0:3>として用いるものである。その他の構成は、前記第1の実施の形態と同様であり、以下に異なる構成部分のみを説明する。

【0146】

図17(a)及び図17(b)は、この発明の第3の実施の形態の高周波クロック同期型メモリのシフトレジスタ部内に備えられたリードレジスタ、及びライトレジスタの構成を示す回路図である。

【0147】

リードレジスタでは、図17(a)に示すように、偶数番用及び奇数番用のそれぞれのリードレジスタで用いられる信号eROPN<0:3>及び信号oROPN<0:3>を共通にして信号ROPN<0:3>としている。

【0148】

ライトレジスタでは、図17(b)に示すように、偶数番用及び奇数番用のそれぞれのライトレジスタで用いられる信号eWOPN<0:3>及び信号oWOPN<0:3>を共通にして信号WOPN<0:3>としている。

【0149】

なお、ここでは、共通とした信号ROPN<0:3>及び信号WOPN<0:3>が、それぞれリードレジスタまたはライトレジスタに直接入力される例を示したが、信号ROPN<0:3>及び信号WOPN<0:3>が所定信号、例えばリードコマンド信号またはライトコマンド信号でデコードされた後、リードレジスタまたはライトレジスタに入力され

るようにしてもよい。

【0 1 5 0】

このような構成とすれば、前記第 1 の実施の形態で必要であった 2 つの信号 eROPN<0>と信号 oROPN<0>が 1 つの信号 ROPN<0>で済むようになる。同様に、信号 eROPN<1>と信号 oROPN<1>、信号 eROPN<2>と信号 oROPN<2>、及び信号 eROPN<3>と信号 oROPN<3>が、それぞれ 1 つの信号 ROPN<1>、信号 ROPN<2>、及び信号 ROPN<3>で済むようになる。

【0 1 5 1】

また、前記第 1 の実施の形態で必要であった 2 つの信号 eWOPN<0>と信号 oWOPN<0>が 1 つの信号 WOPN<0>で済むようになる。同様に、信号 eWOPN<1>と信号 oWOPN<1>、信号 eWOPN<2>と信号 oWOPN<2>、及び信号 eWOPN<3>と信号 oWOPN<3>が、それぞれ 1 つの信号 WOPN<1>、信号 WOPN<2>、及び信号 WOPN<3>で済むようになる。

【0 1 5 2】

これらにより、半導体記憶装置において必要な配線数を削減でき、半導体記憶装置の微細化を図ることができる。

【0 1 5 3】

[第 4 の実施の形態]

次に、この発明の第 4 の実施の形態の高周波クロック同期型メモリについて説明する。

【0 1 5 4】

この第 4 の実施の形態は、前記第 3 の実施の形態のシフトレジスタにおいて、リードレジスタで用いられる ROPN<0:3>とライトレジスタで用いられる WOPN<0:3>を共通にし、信号 RWOPN<0:3>として用いるものである。その他の構成は、前記第 1 の実施の形態と同様であり、以下に異なる構成部分のみを説明する。

【0 1 5 5】

図 1 8 は、この発明の第 4 の実施の形態の高周波クロック同期型メモリのシフトレジスタ部内に備えられたリードレジスタ、及びライトレジスタの構成を示す回路図である。

【0 1 5 6】

図18に示すリードレジスタ及びライトレジスタでは、図17(a)に示したリードレジスタで用いられる信号ROPN<0:3>と、図17(b)に示したライトレジスタで用いられる信号WOPN<0:3>とを共通にして信号RWOPN<0:3>としている。

【0157】

なお、ここでは、共通とした信号RWOPN<0:3>が、リードレジスタ及びライトレジスタに直接入力される例を示したが、信号RWOPN<0:3>が所定信号、例えばリードコマンド信号またはライトコマンド信号でデコードされた後、リードレジスタ及びライトレジスタに入力されるようにしてもよい。

【0158】

このような構成とすれば、前記第3の実施の形態で必要であった2つの信号ROPN<0>と信号WOPN<0>が1つの信号RWOPN<0>で済むようになる。同様に、信号ROPN<1>と信号WOPN<1>、信号ROPN<2>と信号WOPN<2>、及び信号ROPN<3>と信号WOPN<3>が、それぞれ1つの信号RWOPN<1>、信号RWOPN<2>、及び信号RWOPN<3>で済むようになる。

【0159】

これらにより、前記第3の実施の形態よりさらに必要な配線数を削減でき、半導体記憶装置の微細化を図ることができる。

【0160】

また、前述した各実施の形態はそれぞれ、単独で実施できるばかりでなく、適宜組み合わせて実施することも可能である。

【0161】

さらに、前述した各実施の形態には種々の段階の発明が含まれており、各実施の形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0162】

【発明の効果】

以上述べたようにこの発明によれば、リードレジスタ及びライトレジスタの変換動作を制御する信号のタイミングに柔軟性を持たせることにより、データの順序の入れ替え等の機能持つリードレジスタ及びライトレジスタを備えた半導体記

憶装置を提供することができる。

【0163】

また、高速動作のマージンを確保しつつ、チップ面積を増加することなく、低消費電力でパラレルデータをシリアルデータに変換するリードレジスタ、及びシリアルデータをパラレルデータに変換するライトレジスタを備えた半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施の形態の高周波クロック同期型メモリの回路構成を示すブロック図である。

【図2】

前記第1の実施の形態の高周波クロック同期型メモリにおける主要部の配置関係を示すブロック図である。

【図3】

(a) は前記第1の実施の形態の高周波クロック同期型メモリにおける偶数番用のリードレジスタの構成を示す回路図であり、(b) は偶数番用のライトレジスタの構成を示す回路図である。

【図4】

(a) は前記第1の実施の形態の高周波クロック同期型メモリにおける奇数番用のリードレジスタの構成を示す回路図であり、(b) は奇数番用のライトレジスタの構成を示す回路図である。

【図5】

図3 (a) に示したリードレジスタのパラレル／シリアル変換動作を示すタイミング波形図である。

【図6】

図3 (b) に示したライトレジスタのシリアル／パラレル変換動作を示すタイミング波形図である。

【図7】

図4 (a) に示したリードレジスタのパラレル／シリアル変換動作を示すタイ

ミング波形図である。

【図 8】

図 4 (b) に示したライトレジスタのシリアル／パラレル変換動作を示すタイミング波形図である。

【図 9】

この発明の第 2 の実施の形態の高周波クロック同期型メモリの回路構成を示すブロック図である。

【図 10】

前記第 2 の実施の形態の高周波クロック同期型メモリが備える信号生成回路の構成を示すブロック図及び回路図である。

【図 11】

前記第 2 の実施の形態の高周波クロック同期型メモリにおける書き込み動作及び読み出し動作を示すタイミング波形図である。

【図 12】

前記信号生成回路により図 11 に示した書き込み動作の制御クロックを生成する例を示す図である。

【図 13】

前記信号生成回路により図 11 に示した読み出し動作の制御クロックを生成する例を示す図である。

【図 14】

書き込み動作時において制御クロックを全て同時に“H”とした書き込み動作を示すタイミング波形図である。

【図 15】

前記信号生成回路により図 14 に示した書き込み動作の制御クロックを生成する例を示す図である。

【図 16】

前記信号生成回路により書き込み動作の制御クロックを生成する他の例を示す図である。

【図 17】

この発明の第3の実施の形態の高周波クロック同期型メモリのシフトレジスタ部内に備えられたリードレジスタ、及びライトレジスタの構成を示す回路図である。

【図18】

この発明の第4の実施の形態の高周波クロック同期型メモリのシフトレジスタ部内に備えられたリードレジスタ、及びライトレジスタの構成を示す回路図である。

【図19】

一般的な高周波クロック同期型メモリの回路構成を示すブロック図である。

【図20】

図19に示した高周波クロック同期型メモリにおけるリードデータの経路を示す図である。

【図21】

図19に示した高周波クロック同期型メモリにおけるシフトレジスタ部3の構成を示す図である。

【図22】

図19に示した高周波クロック同期型メモリにおける読み出し動作の一例を示すタイミング波形図である。

【図23】

図19に示した高周波クロック同期型メモリにおける読み出し動作の他の例を示すタイミング波形図である。

【図24】

図19に示した高周波クロック同期型メモリにおける書き込み動作の一例を示すタイミング波形図である。

【図25】

図19に示した高周波クロック同期型メモリにおける書き込み動作の他の例を示すタイミング波形図である。

【図26】

従来の高周波クロック同期型メモリのレイアウトを示す図である。

【図 2 7】

従来の高周波クロック同期型メモリにおける主要部の配置関係を示すブロック図である。

【図 2 8】

(a) は図 2 7 に示した高周波クロック同期型メモリのシフトレジスタ部 3 における偶数番側のシフトレジスタの構成を示す図であり、(b) は図 2 7 に示した高周波クロック同期型メモリの主要部のレイアウトを示す概略図である。

【図 2 9】

図 2 7 に示した高周波クロック同期型メモリにおけるライトレジスタの構成を示す回路図である。

【図 3 0】

図 2 9 に示したライトレジスタを用いた書き込み動作の一例を示すタイミング波形図である。

【図 3 1】

従来の高周波クロック同期型メモリにおける主要部の他の配置関係を示すブロック図である。

【図 3 2】

(a) は図 3 1 に示した高周波クロック同期型メモリのシフトレジスタ部 3 における偶数番側のシフトレジスタの構成を示す図であり、(b) は図 3 1 に示した高周波クロック同期型メモリの主要部のレイアウトを示す概略図である。

【図 3 3】

図 3 1 に示した高周波クロック同期型メモリにおけるリードレジスタの構成を示す回路図である。

【図 3 4】

図 3 3 に示したリードレジスタを用いた読み出し動作の一例を示すタイミング波形図である。

【符号の説明】

1…メモリ回路

2…メモリ・コア部

3…シフトレジスタ部

4…I/O回路（入出力回路）

5…DLL（Delayed Locked Loop）回路

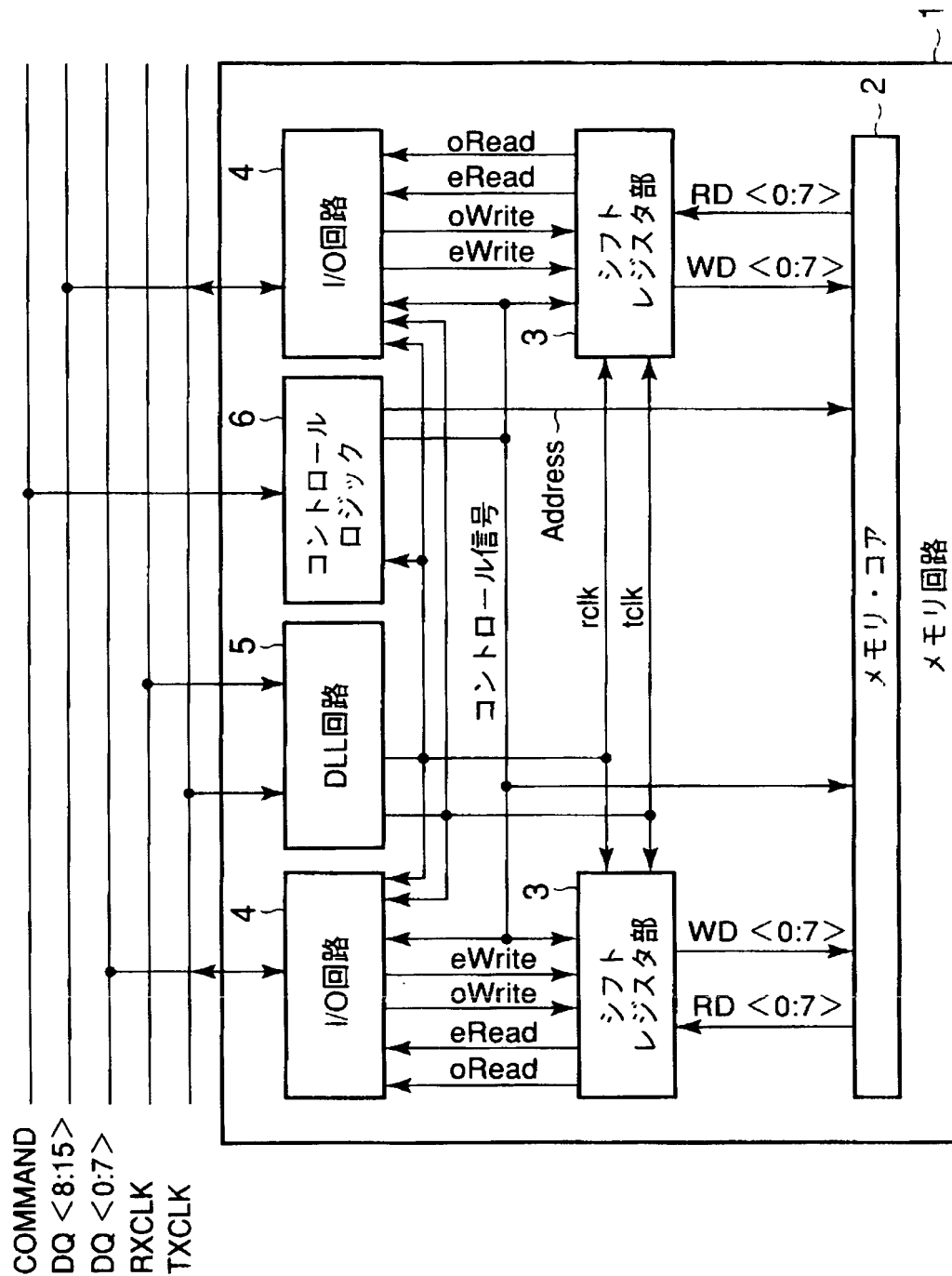
6…コントロールロジック

7…周辺回路部

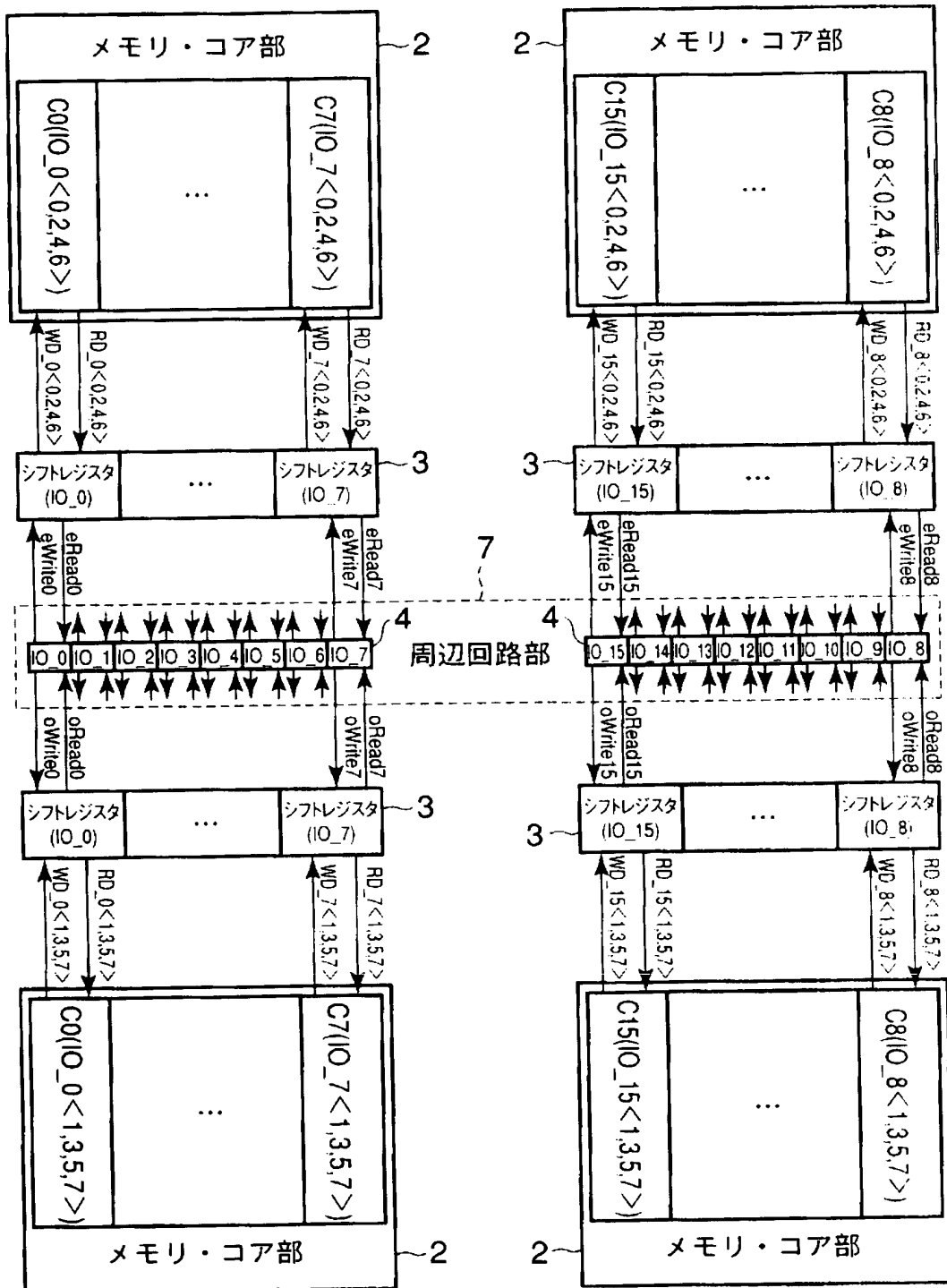
【書類名】

図面

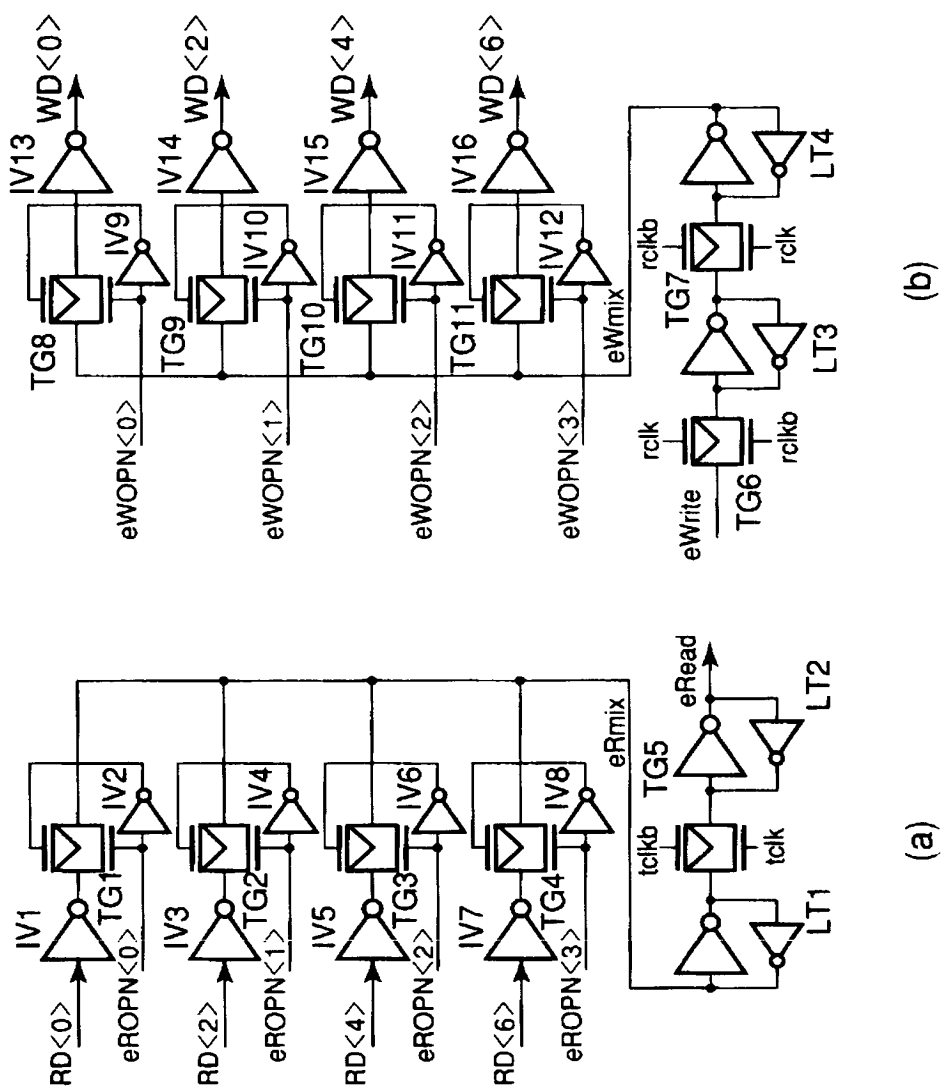
【圖 1】



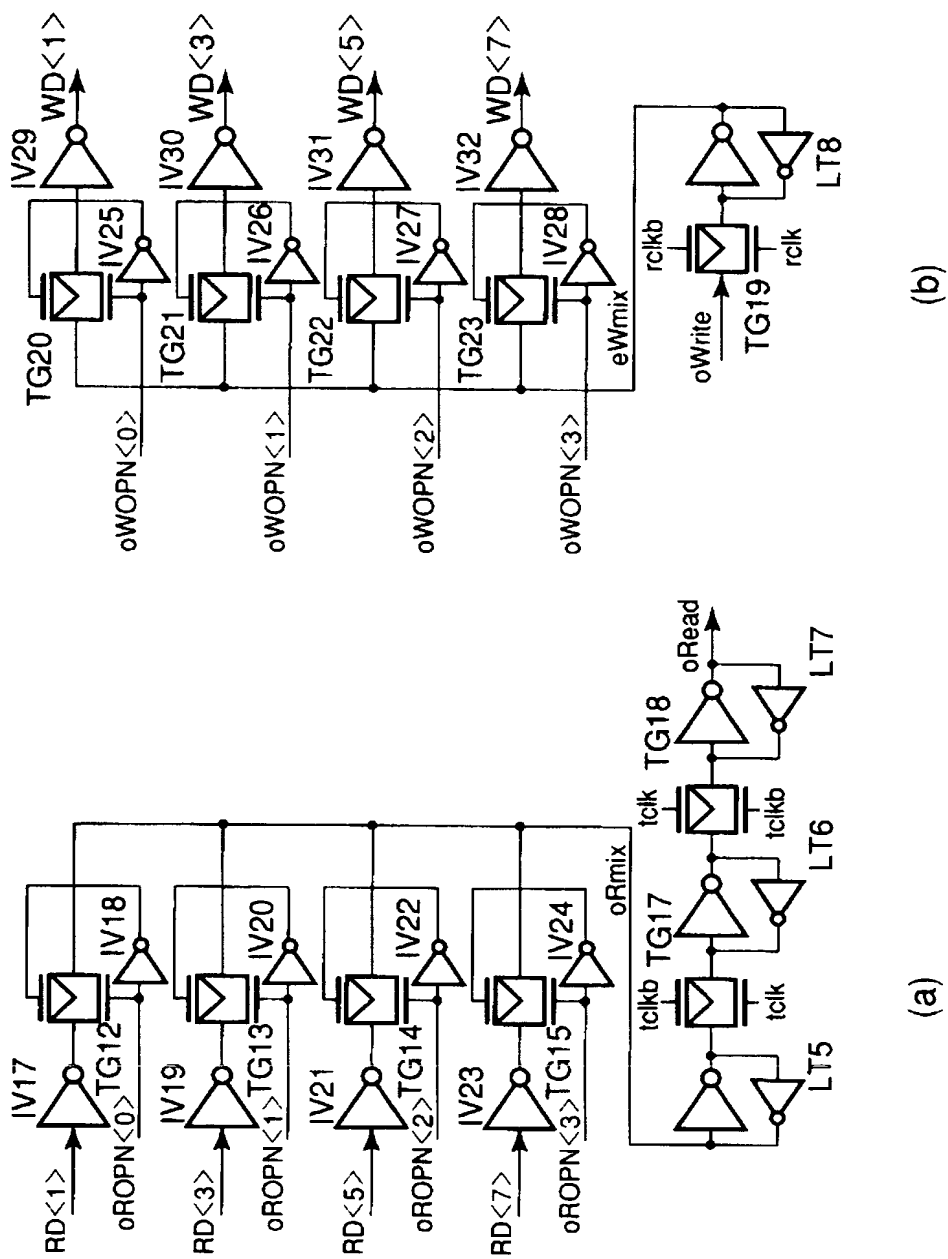
【図 2】



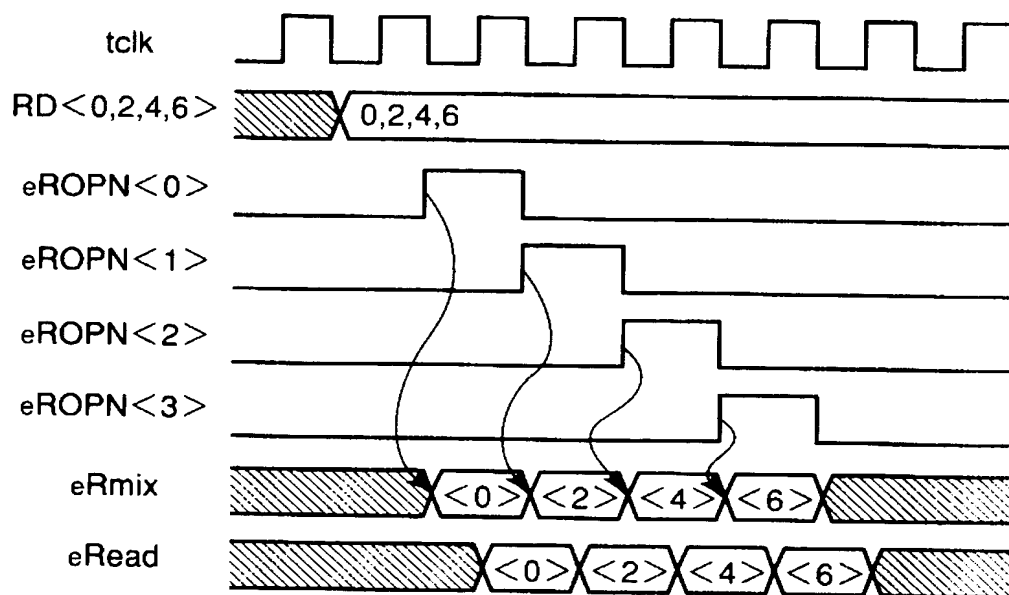
【図 3】



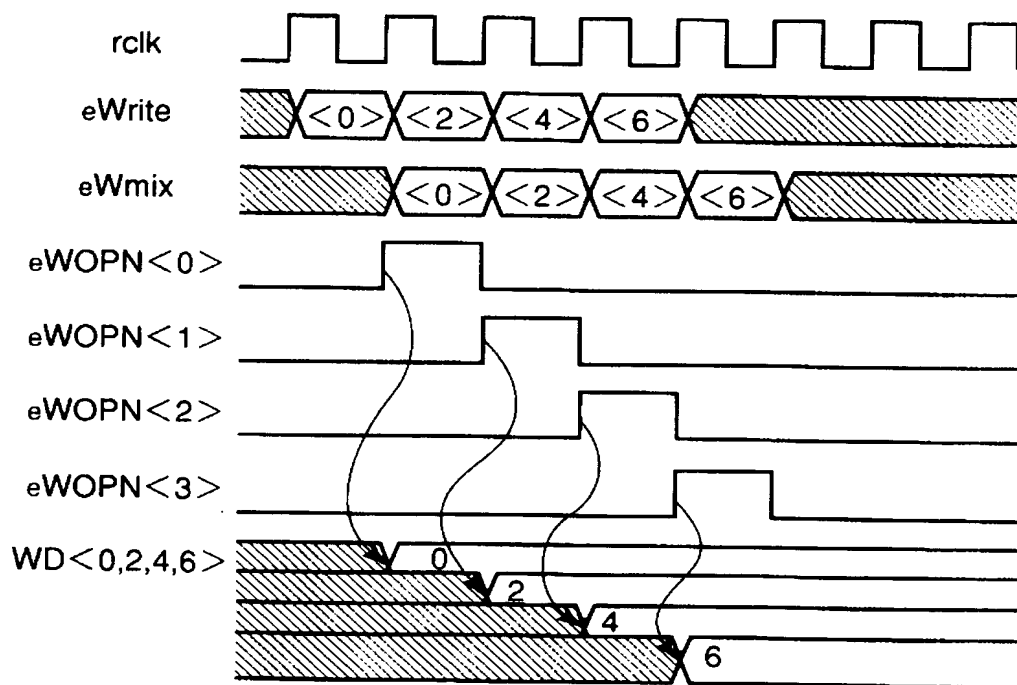
【図 4】



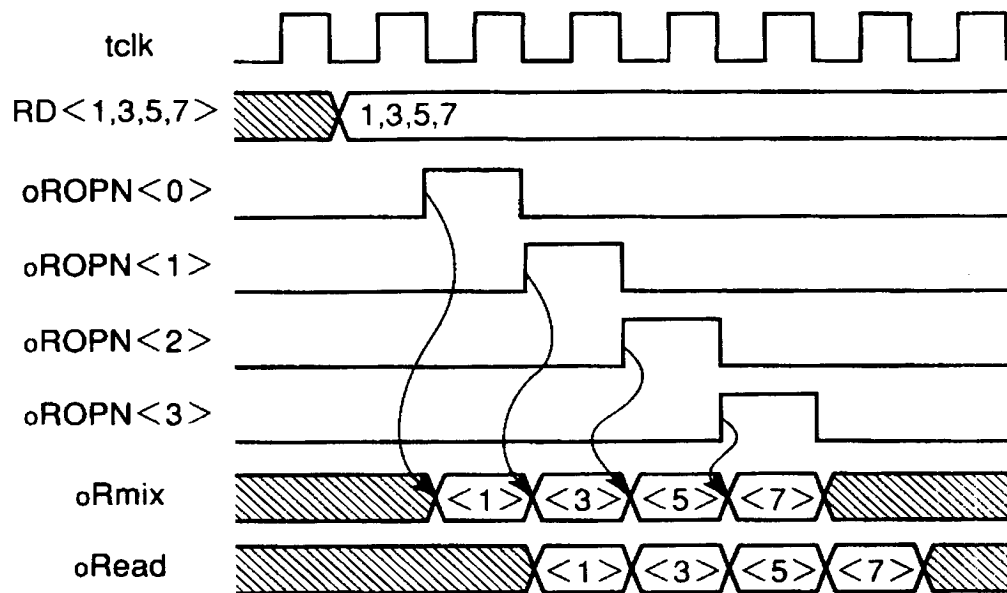
【図 5】



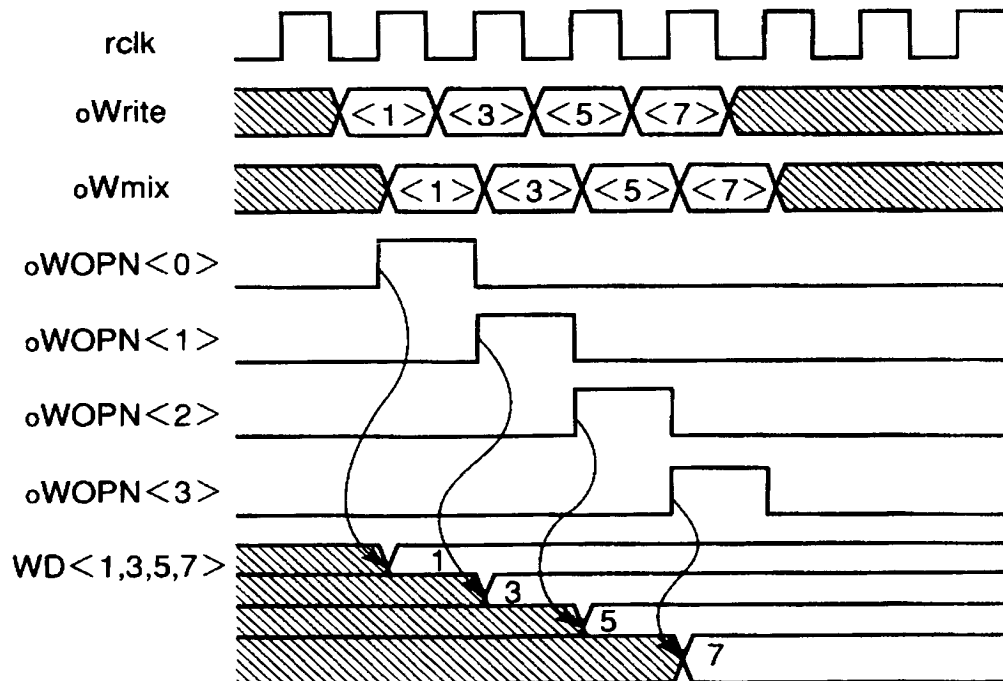
【図 6】



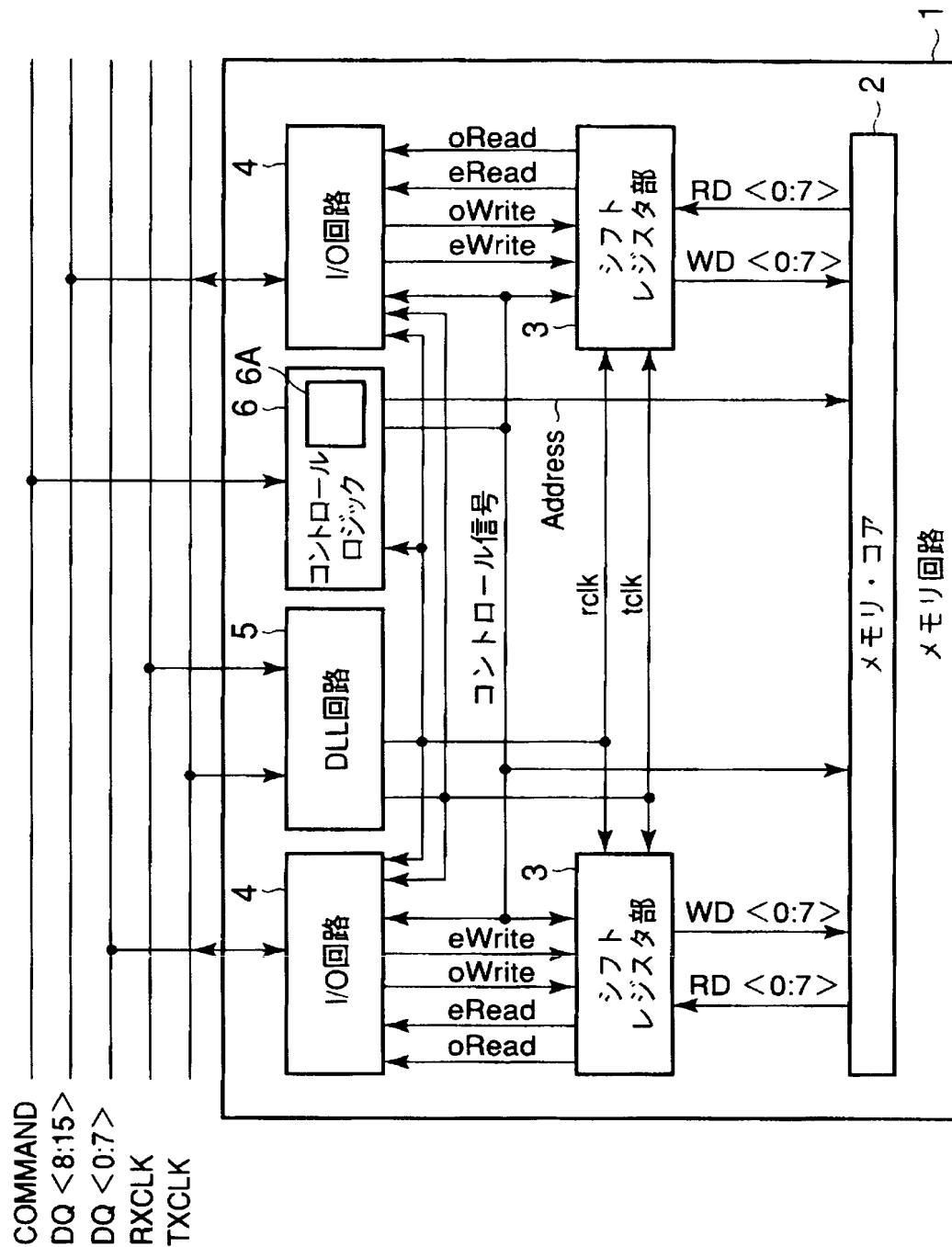
【図 7】



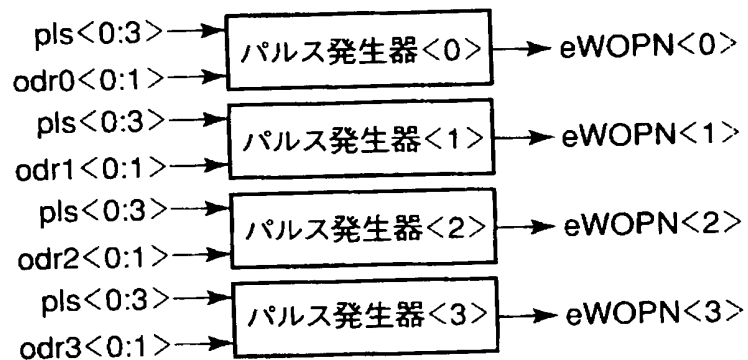
【図 8】



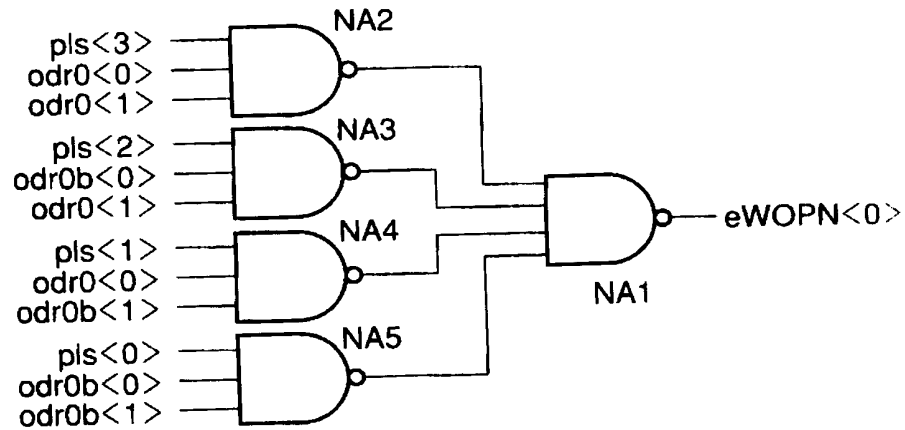
【図 9】



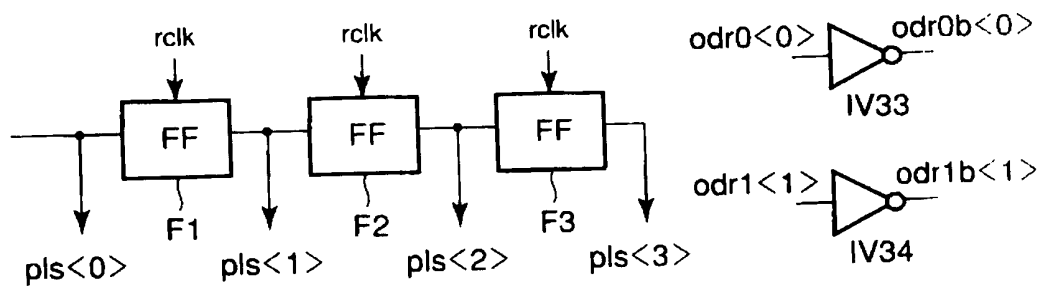
【図 10】



(a)

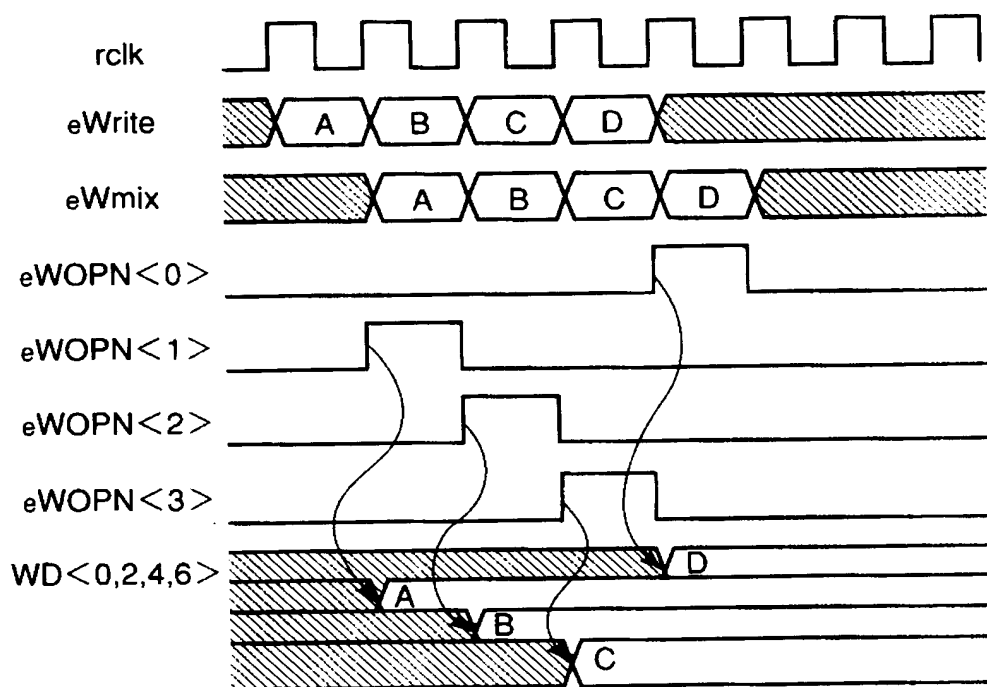


(b)

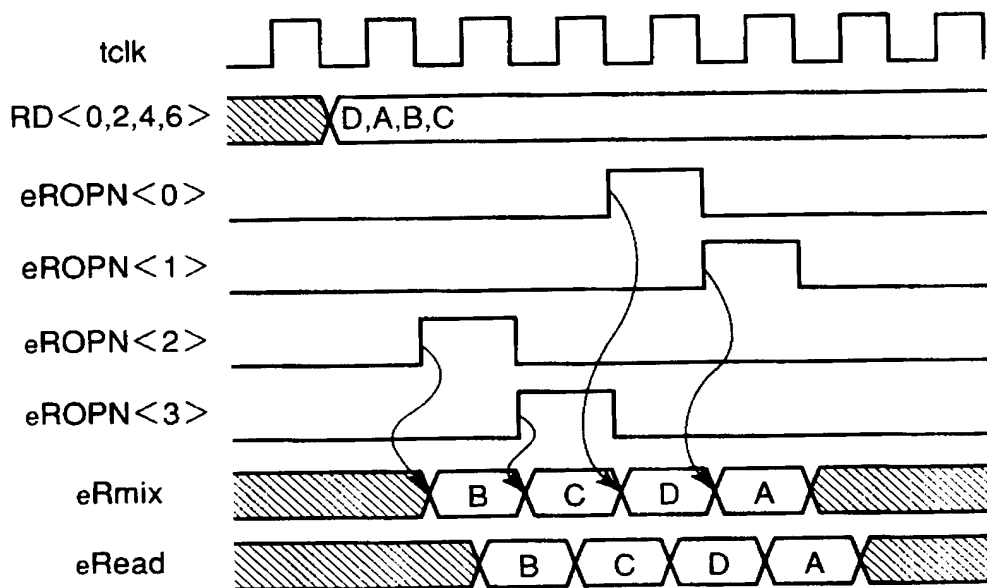


(c)

【図 11】



(a)

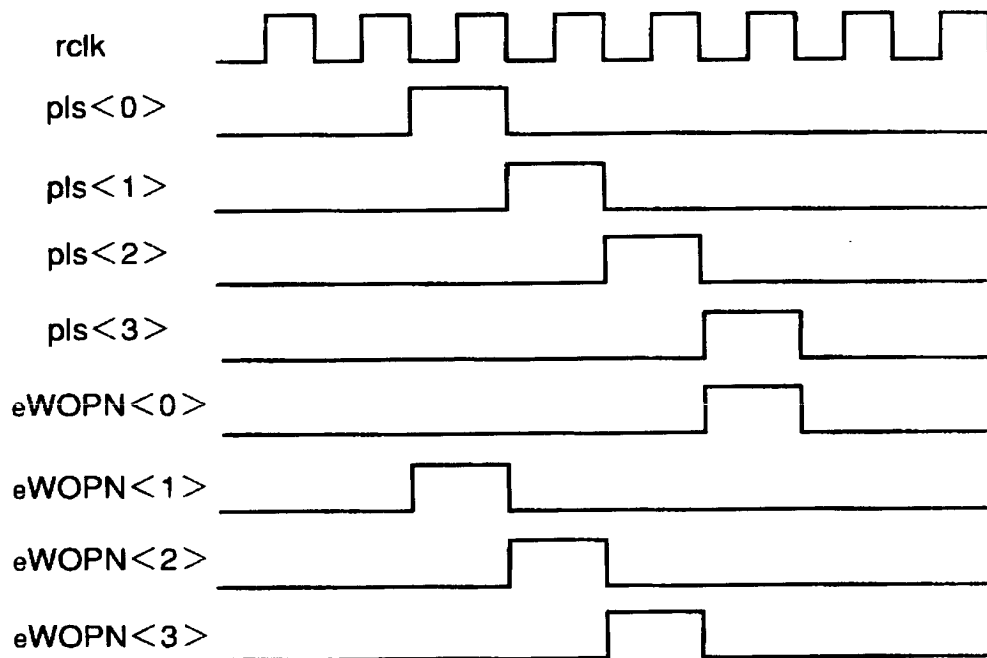


(b)

【図 12】

	<1>	<0>
odr0<0:1>	H	H
odr1<0:1>	L	L
odr2<0:1>	L	H
odr3<0:1>	H	L

(a)

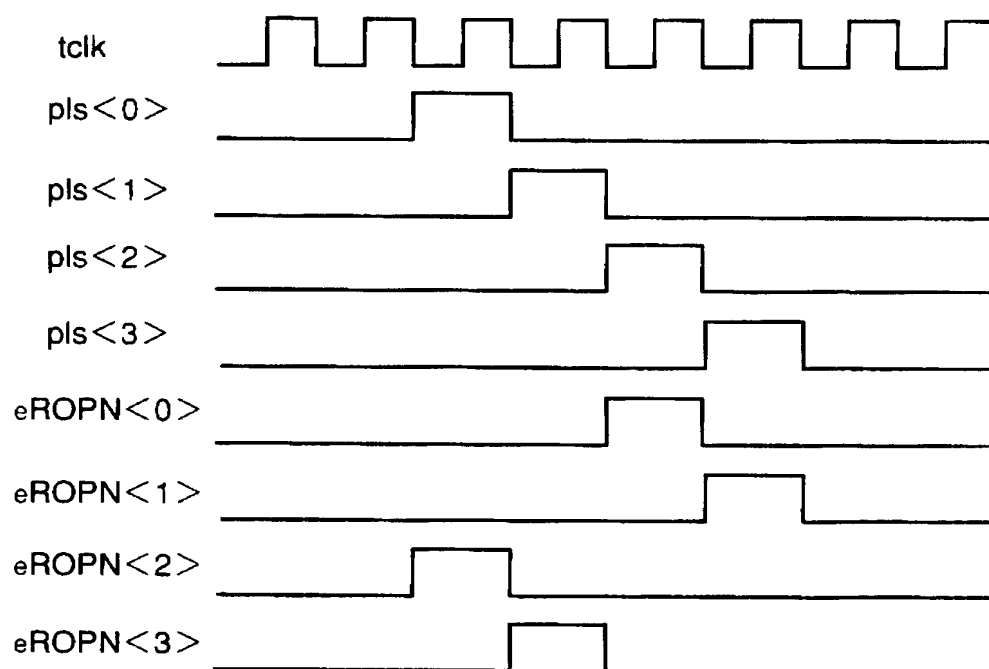


(b)

【図 13】

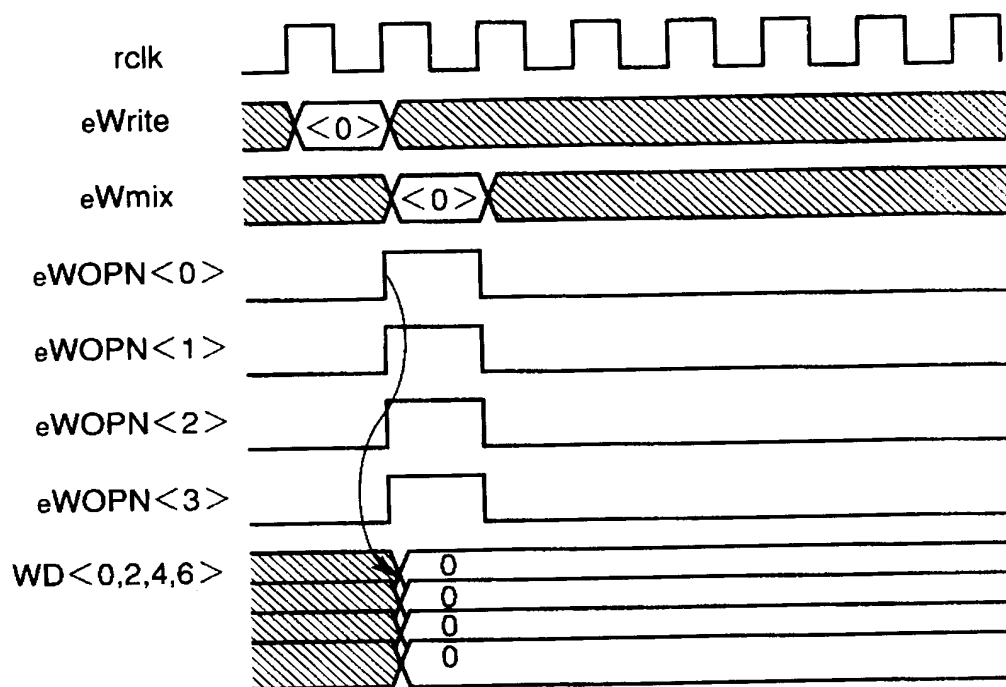
	<1>	<0>
odr0<0:1>	H	L
odr1<0:1>	H	H
odr2<0:1>	L	L
odr3<0:1>	L	H

(a)



(b)

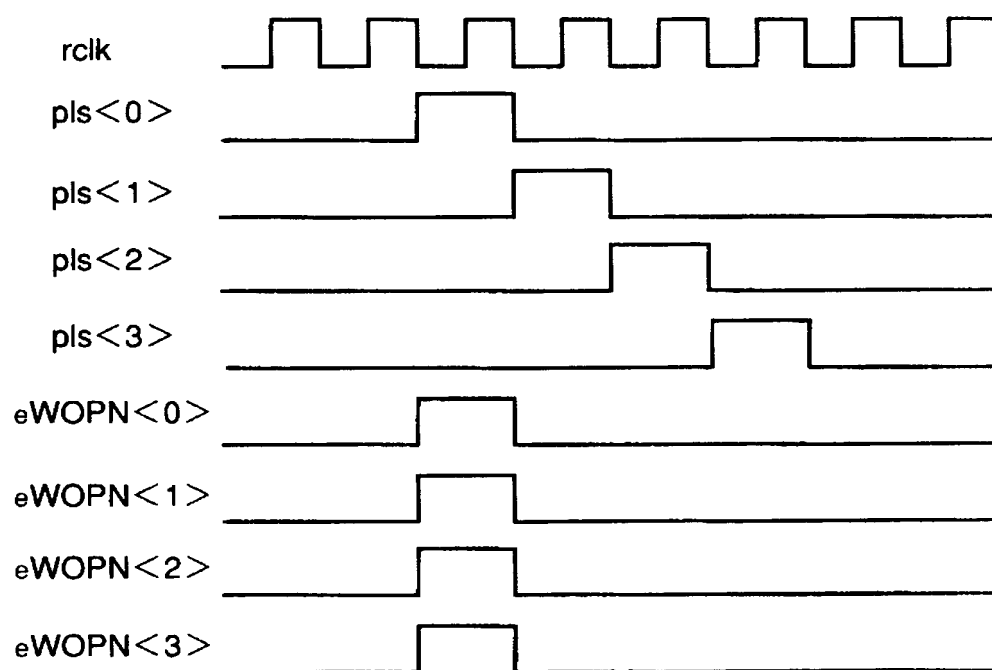
【図 14】



【図 15】

	<1>	<0>
odr0<0:1>	L	L
odr1<0:1>	L	L
odr2<0:1>	L	L
odr3<0:1>	L	L

(a)

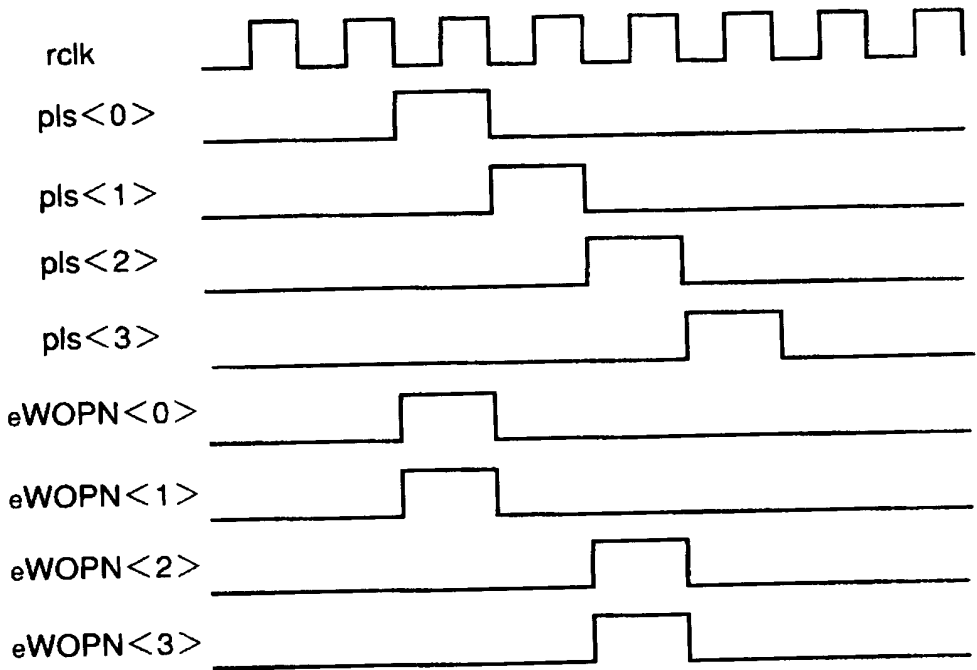


(b)

【図 16】

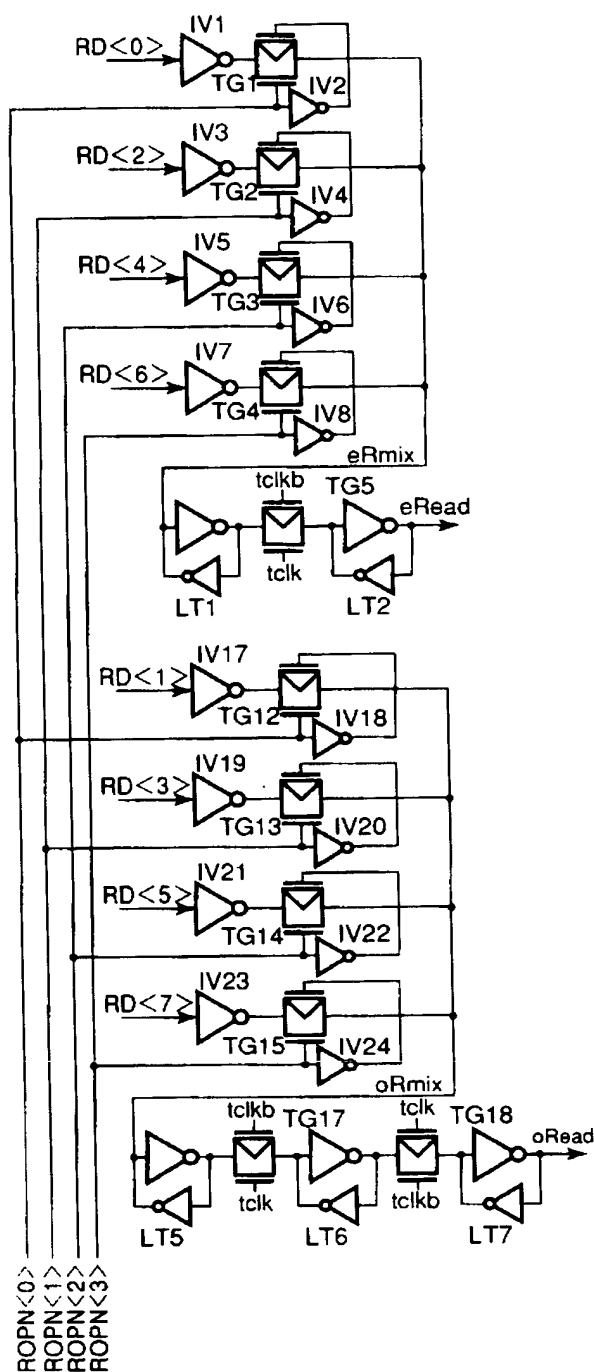
	<1>	<0>
odr0<0:1>	L	L
odr1<0:1>	L	L
odr2<0:1>	H	L
odr3<0:1>	H	L

(a)

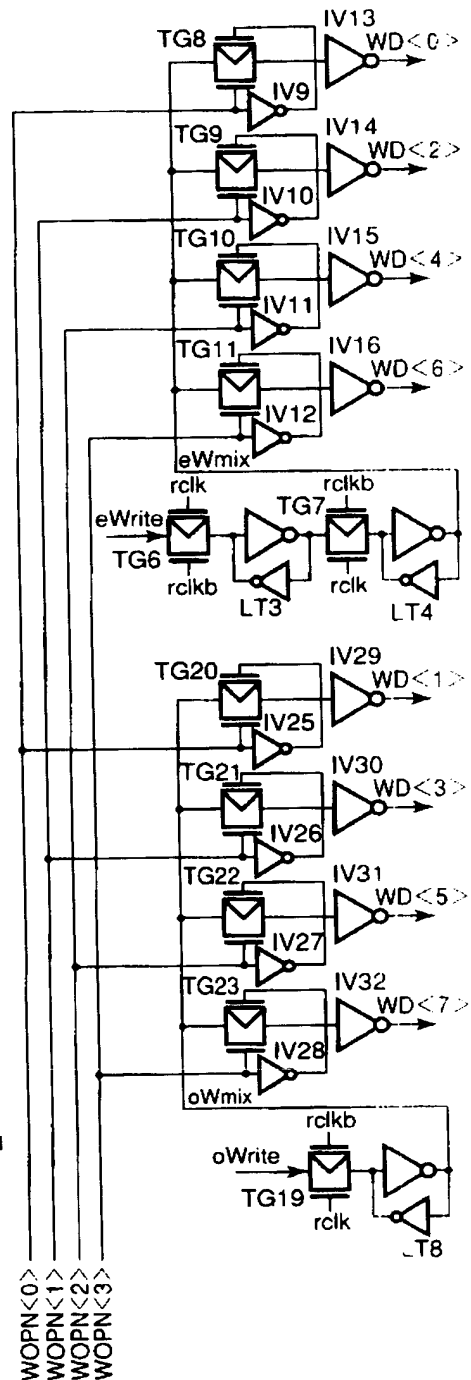


(b)

【図 17】

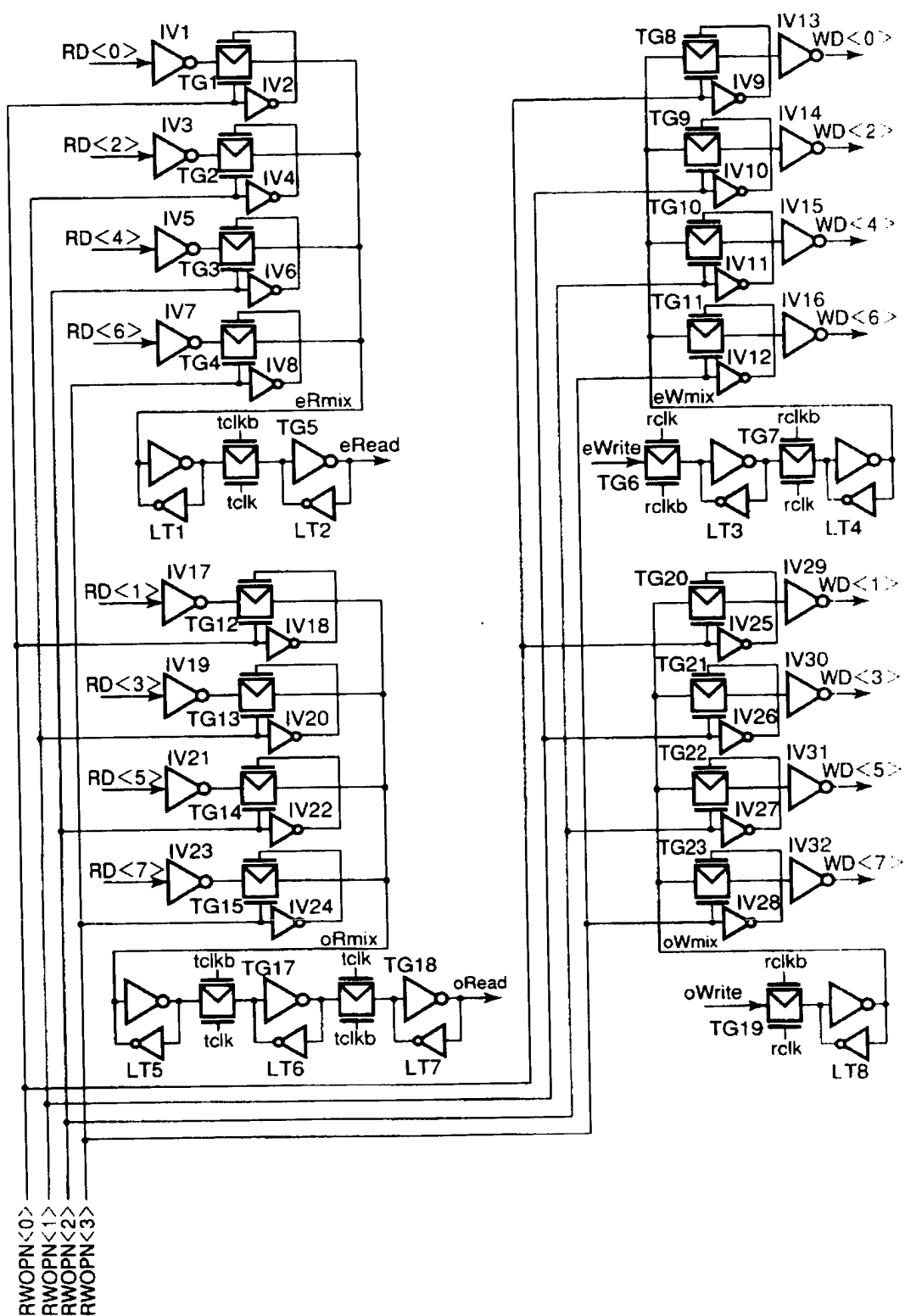


(a)

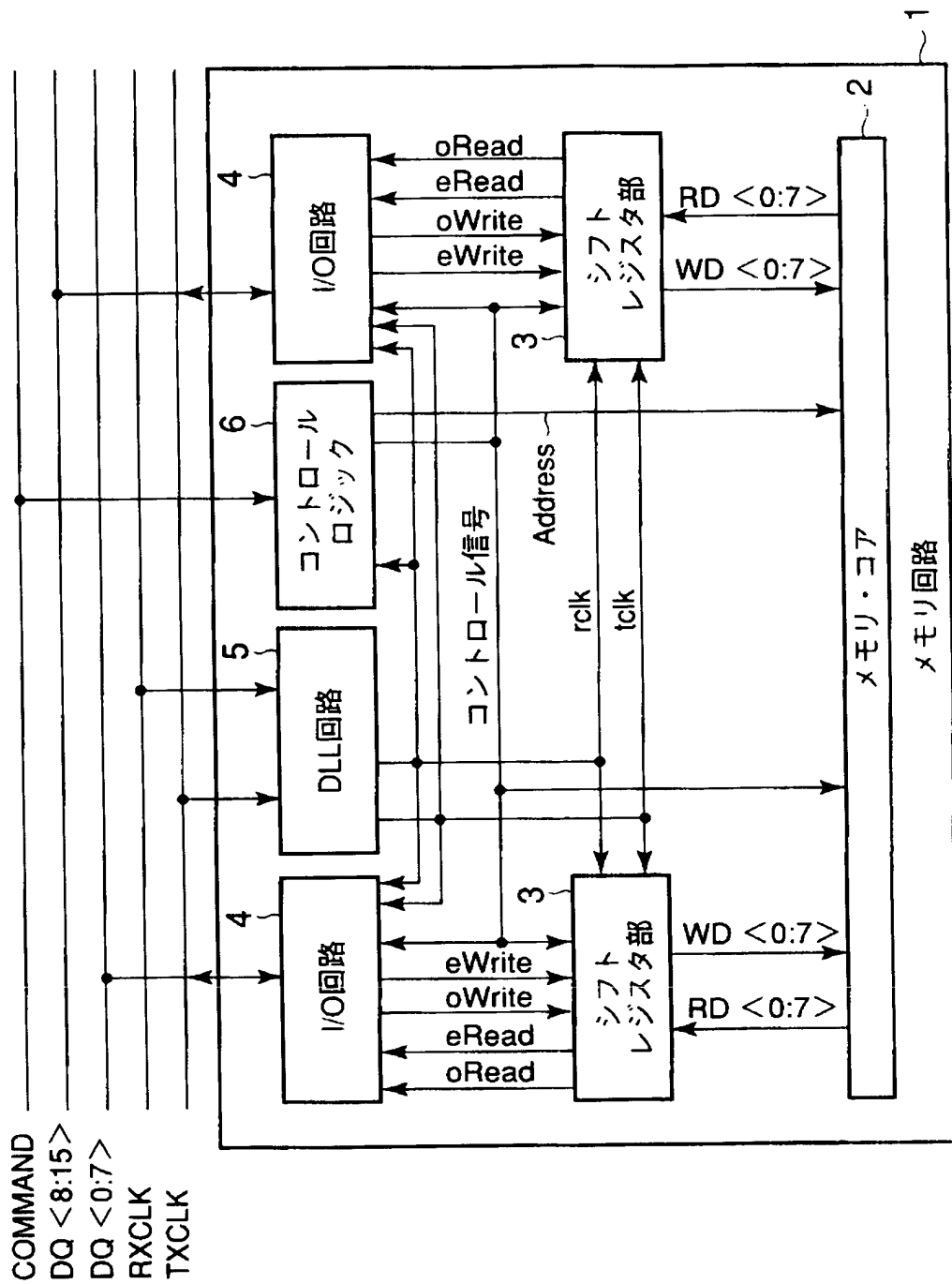


(b)

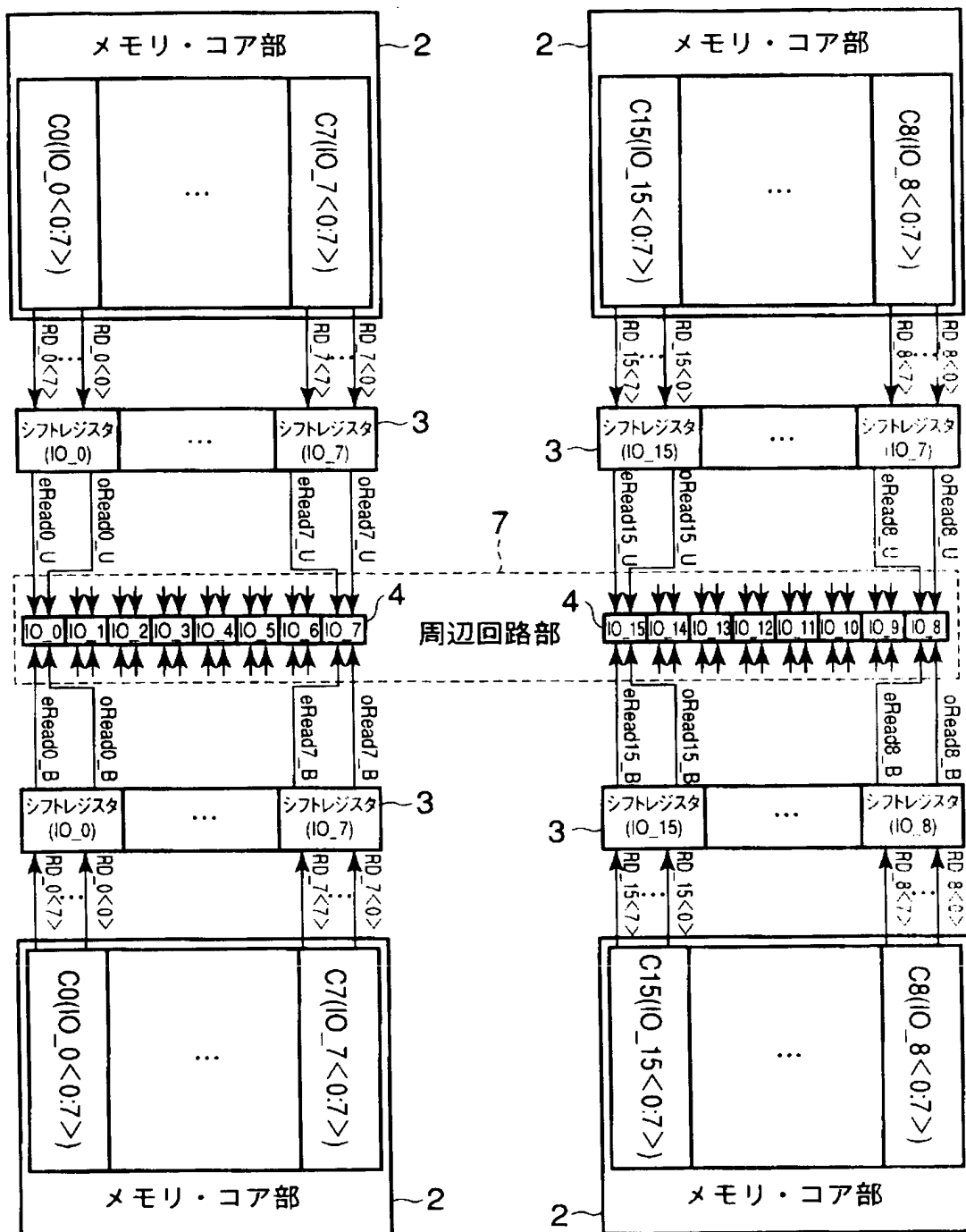
【図 18】



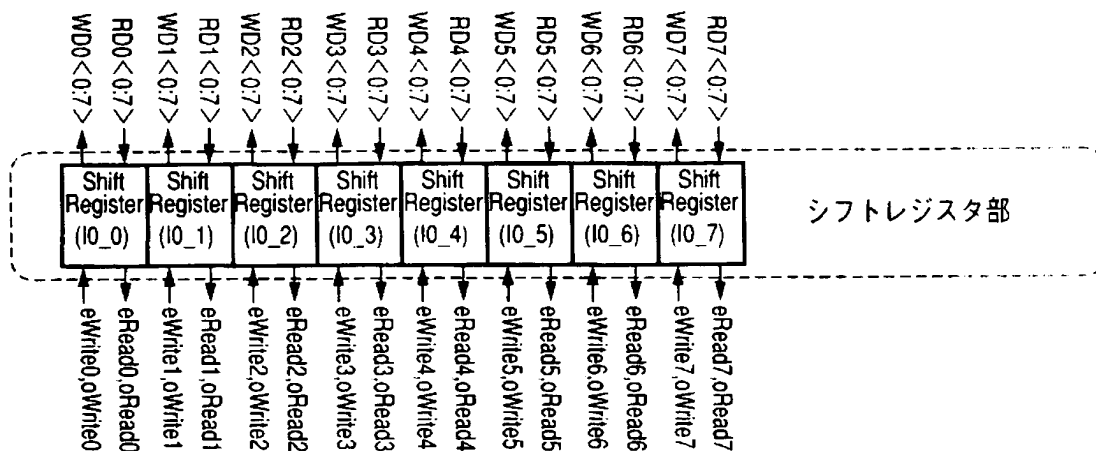
【図 19】



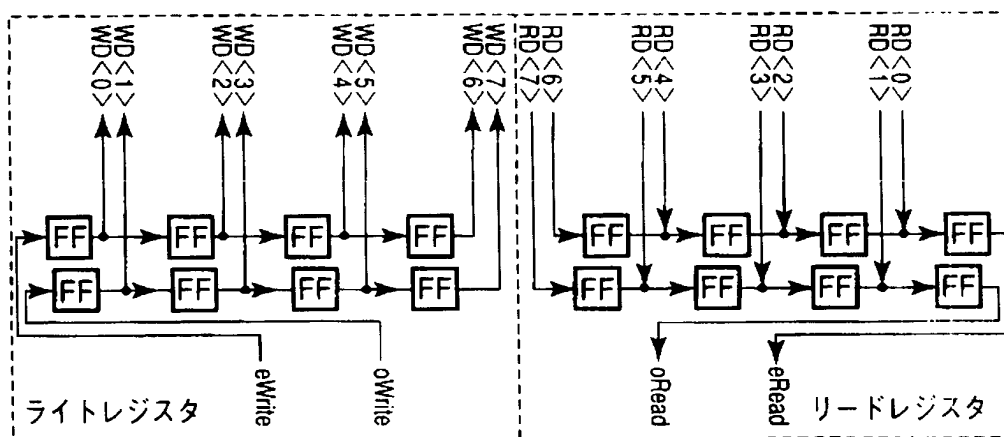
【図 20】



【図 21】

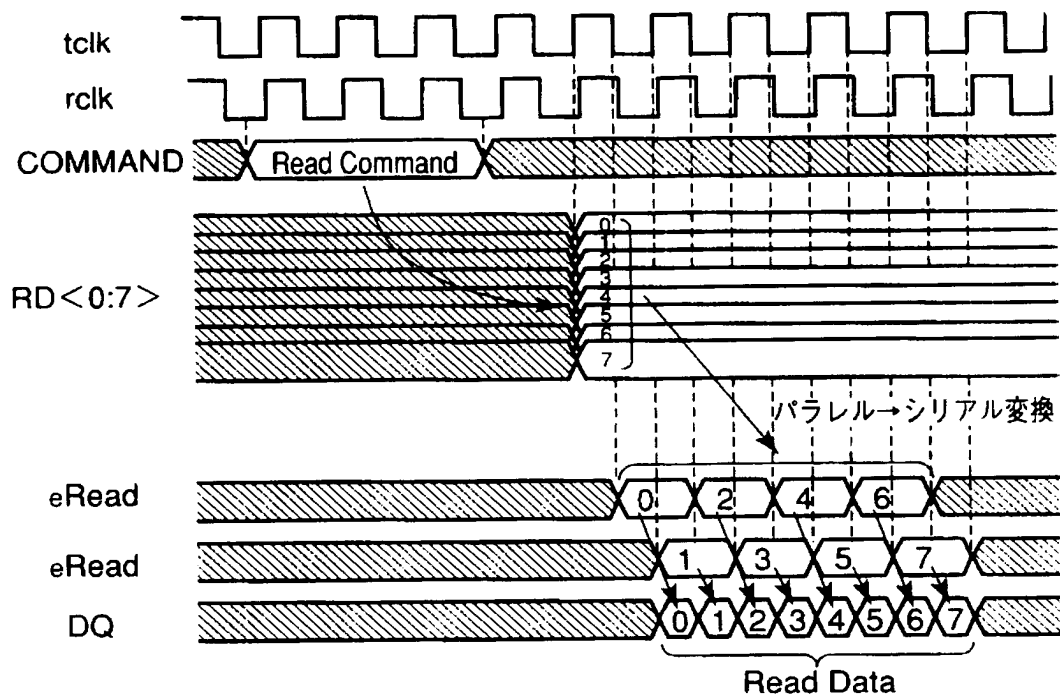


(a)

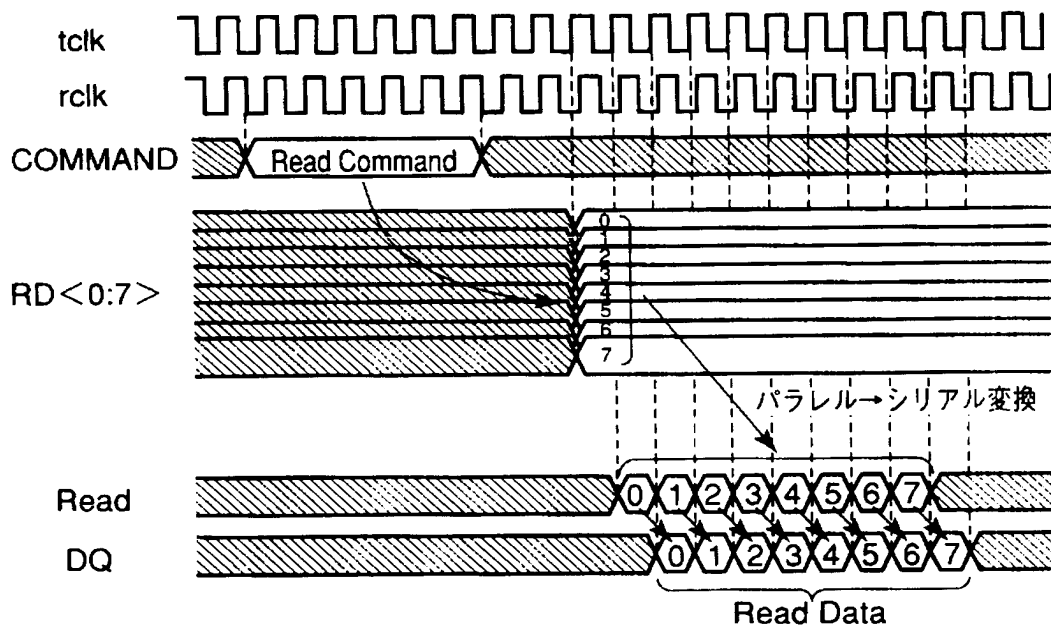


(b)

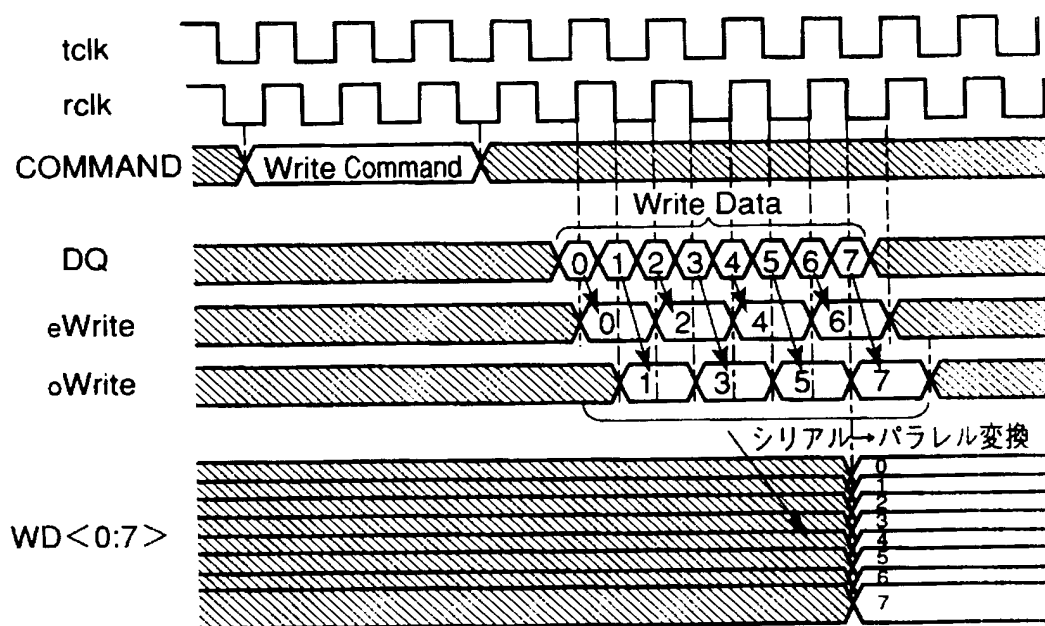
【図 2 2】



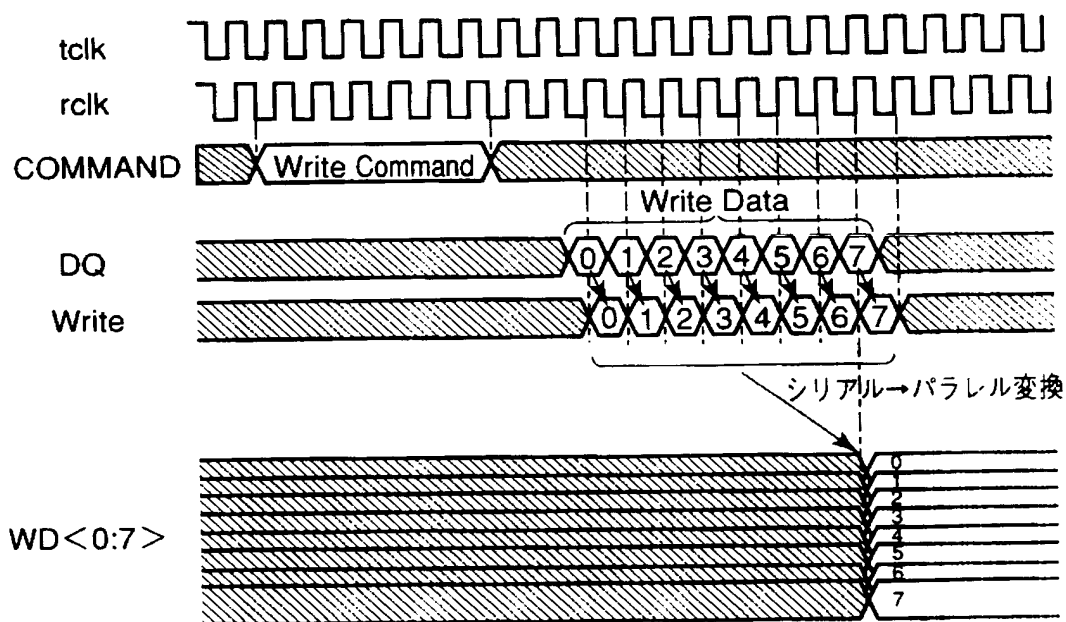
【図 2 3】



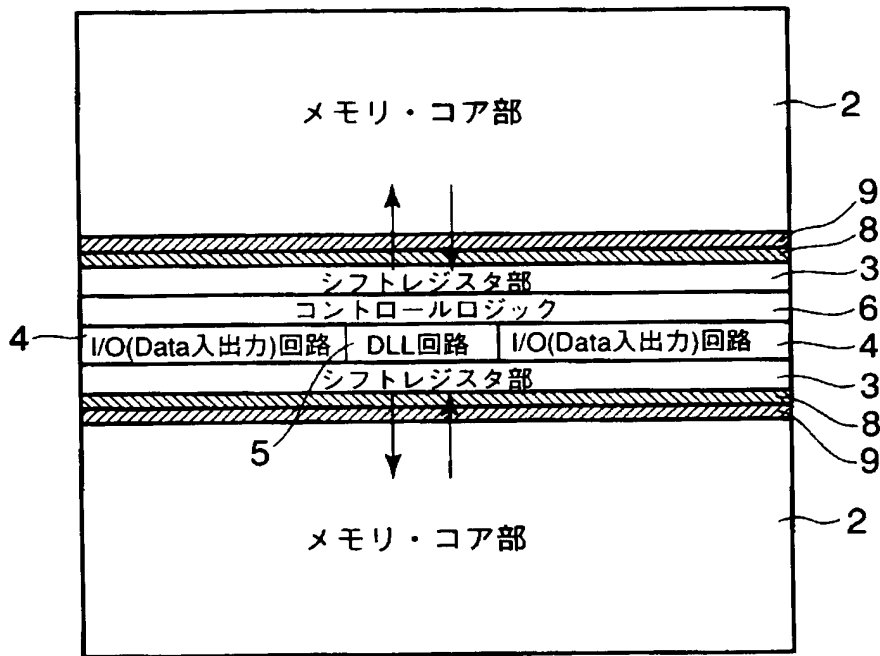
【図 2 4】



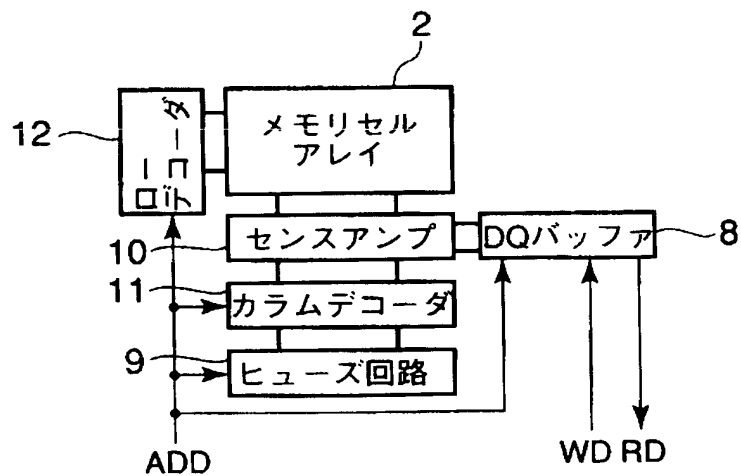
【図 2 5】



【図 26】

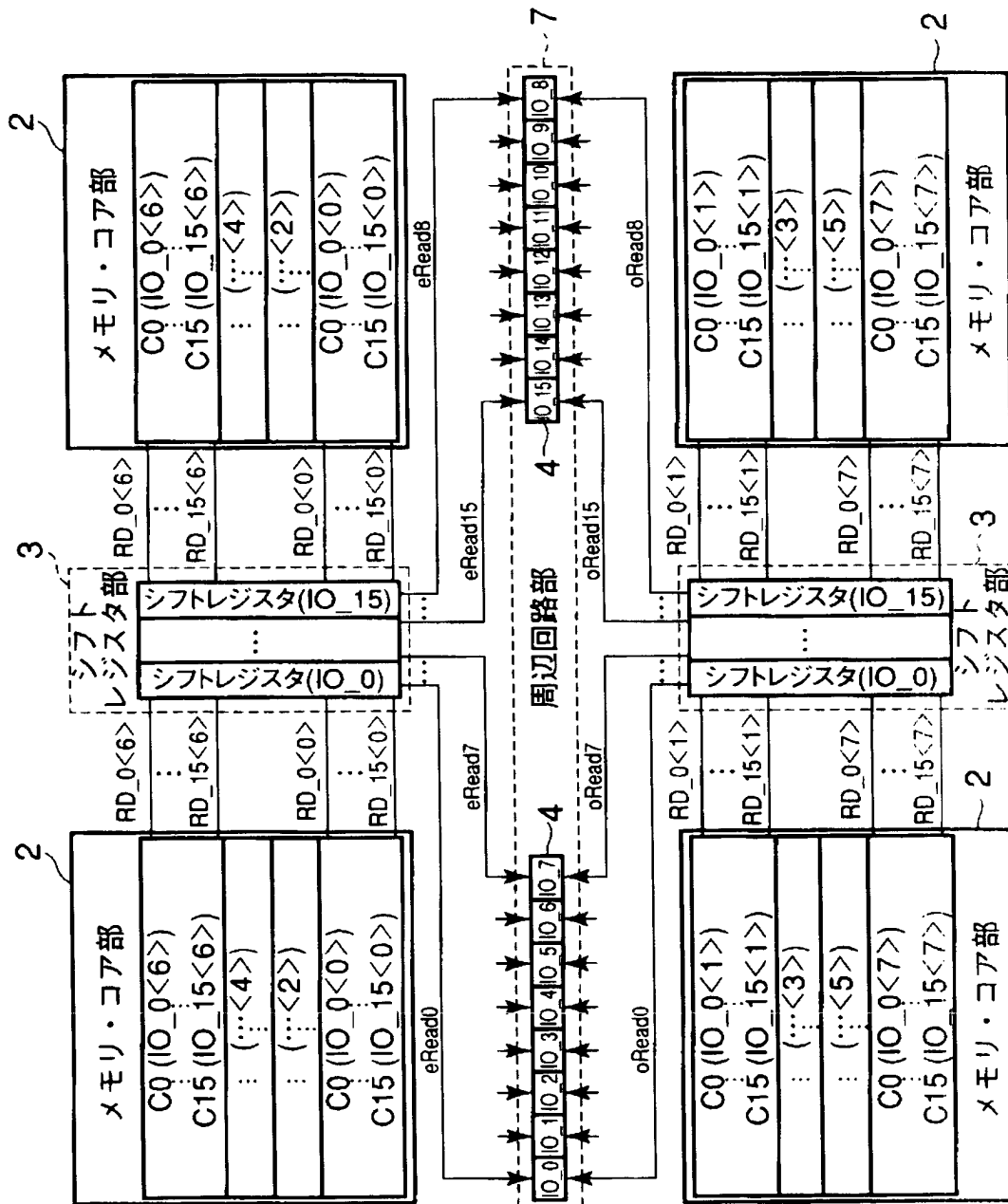


(a)

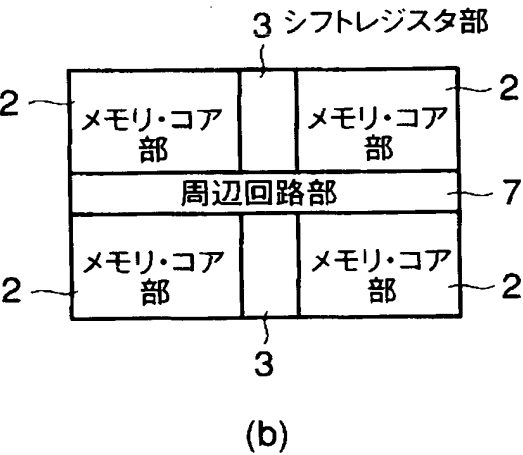
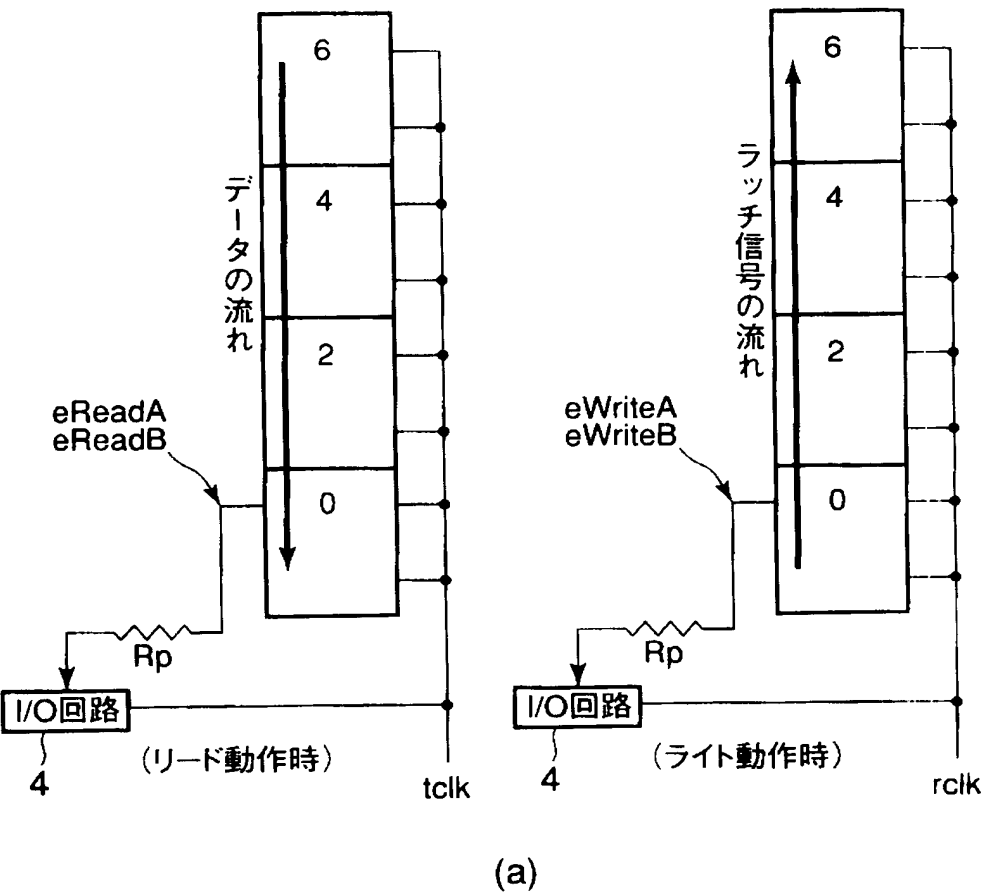


(b)

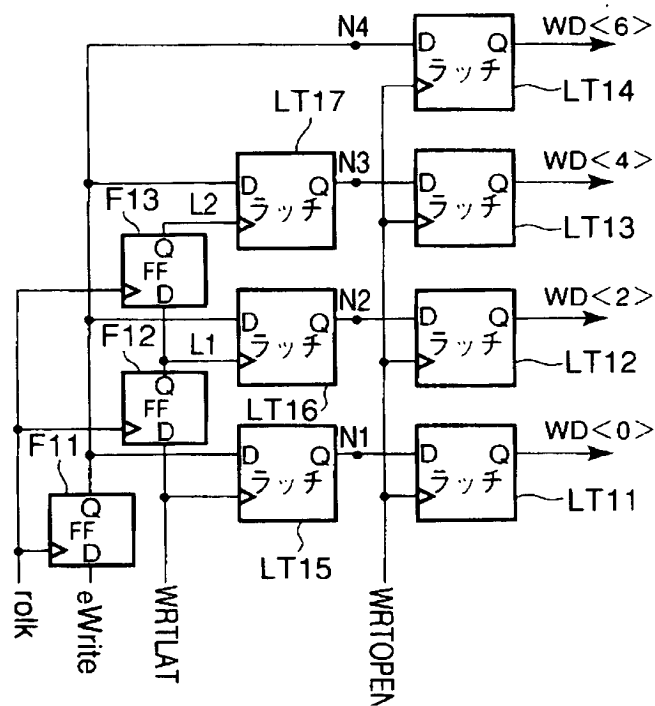
【図 27】



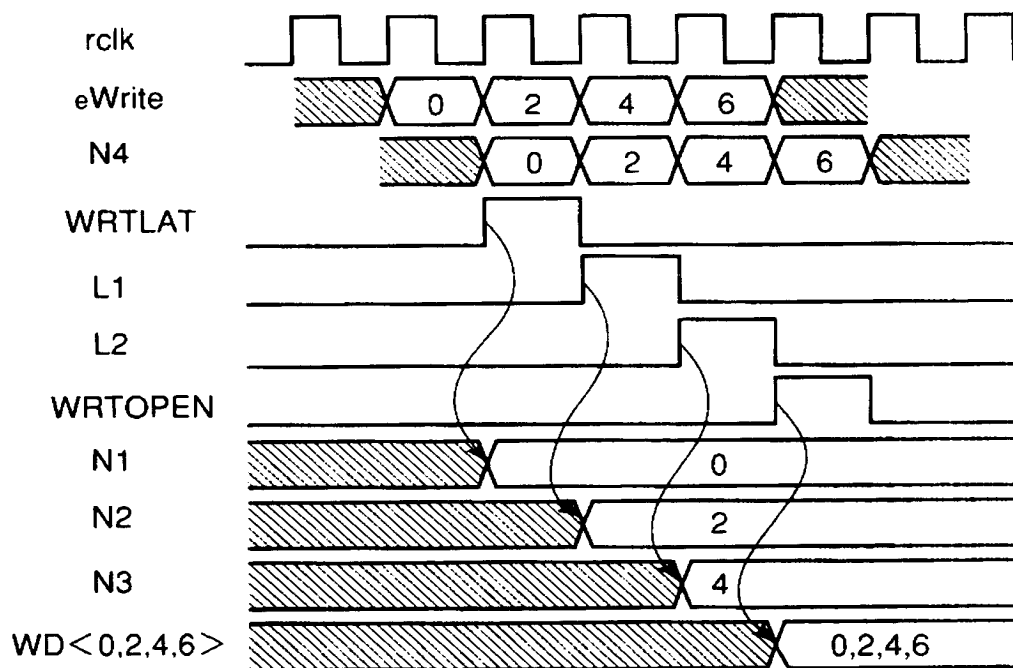
【図 28】



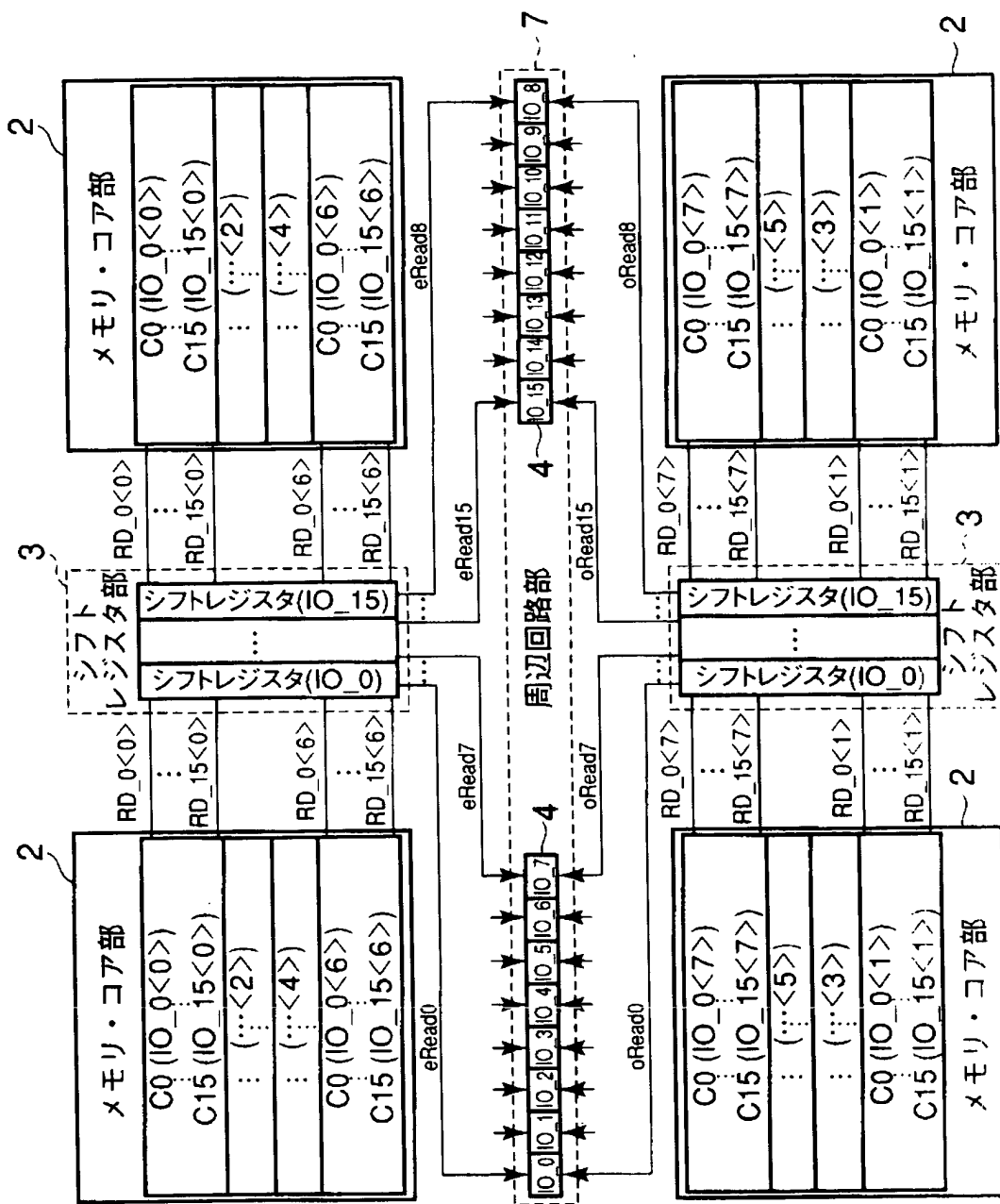
【図 29】



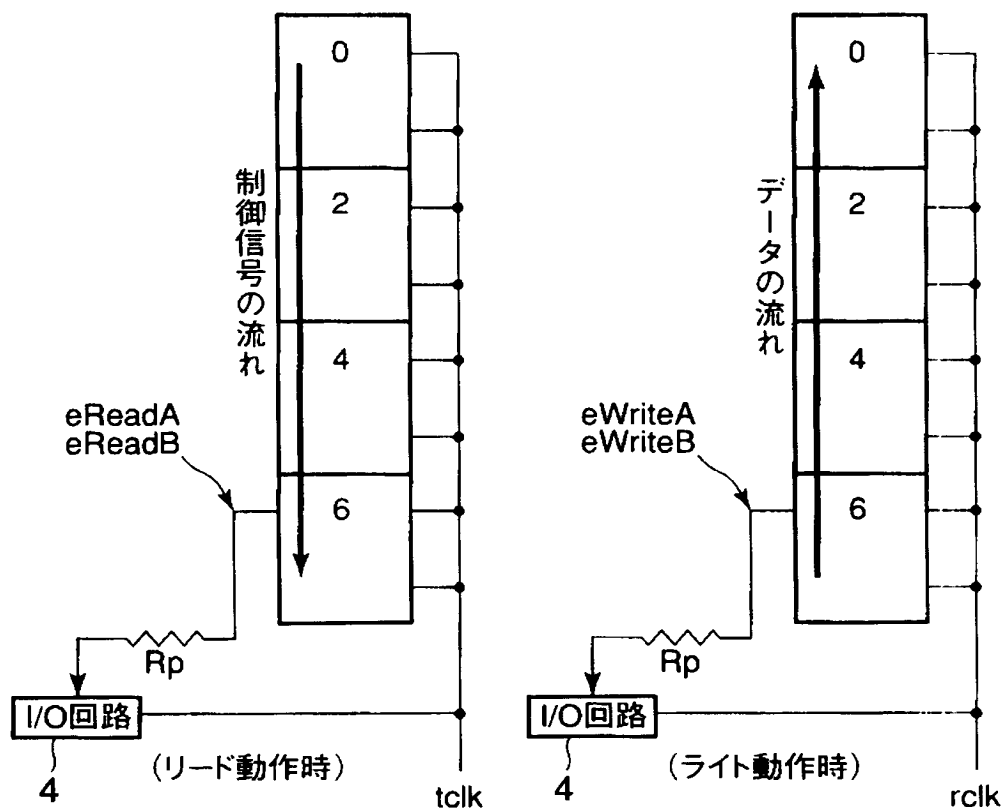
【図 30】



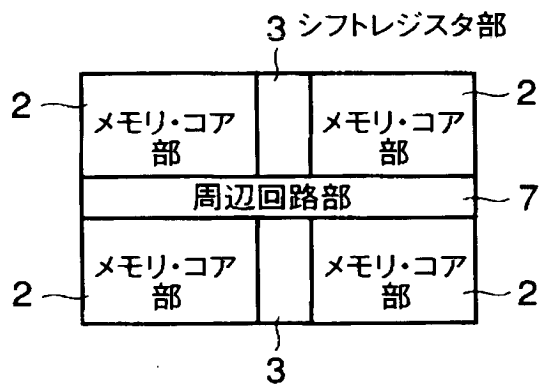
【図 3 1】



【図 3 2】

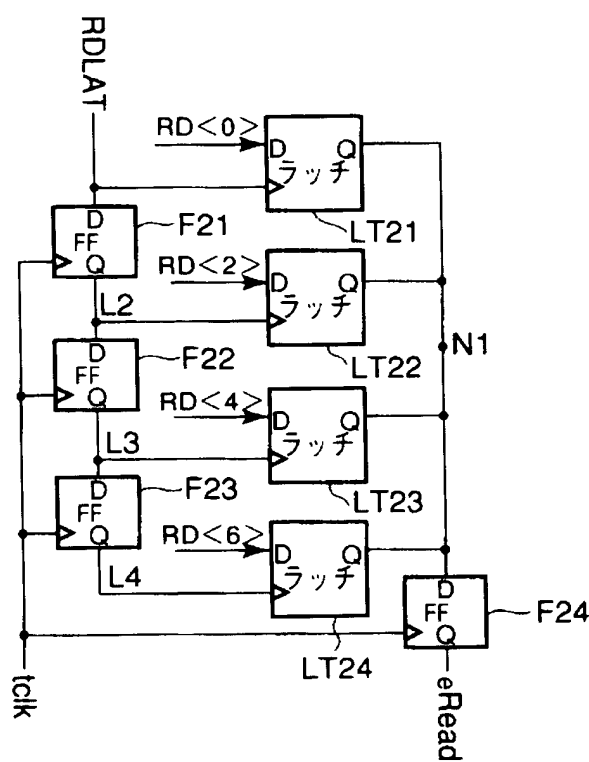


(a)

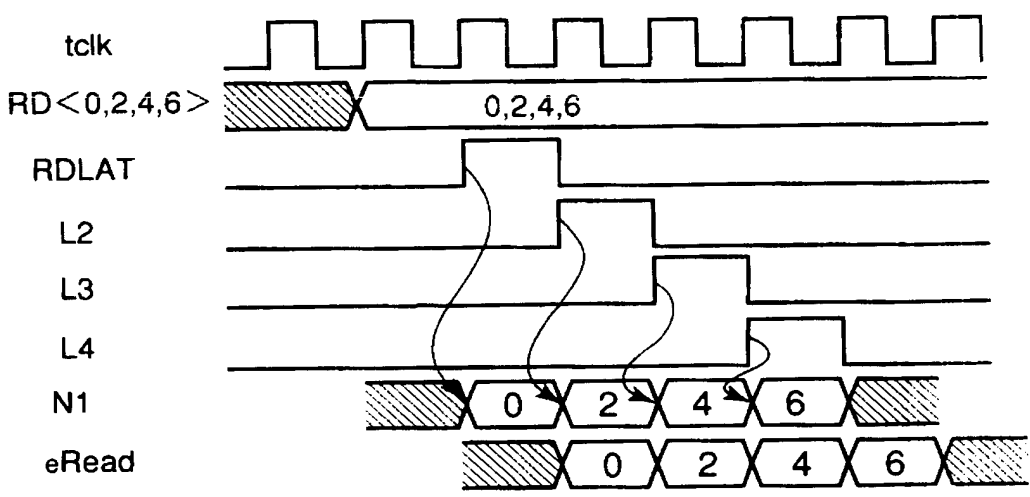


(b)

【図 3 3】



【図 3 4】



【書類名】 要約書

【要約】

【課題】 リードレジスタ及びライトレジスタを制御する信号のタイミングに柔軟性を持たせ、データ順序の入れ替え機能持つ半導体記憶装置を提供する。

【解決手段】 メモリ・コア部 2 と、シリアルデータの入出力を行う I/O 回路 4 と、I/O 回路 4 から複数ビットのシリアルデータを受け取り、パラレルデータに変換するリードレジスタと、メモリ・コア部 2 から複数ビットのパラレルデータを受け取り、シリアルデータに変換するライトレジスタとを有するシフトレジスタ部 3 と、前記シリアル／パラレル変換の際に、ビット毎に変換タイミングを与える複数の第 1 制御信号を生成し、パラレル／シリアル変換の際に、ビット毎に変換タイミングを与える複数の第 2 制御信号を生成する信号生成回路 6 A とを備える。信号生成回路 6 A は、前記複数の第 1、第 2 制御信号の立ち上がりまたは立ち下がりタイミングを制御する。

【選択図】 図 9

特願 2002-292408

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日 1990年 8月 22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝